

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-056665

(43)Date of publication of application : 27.02.2001

(51)Int.Cl.

G09G 3/28

G09G 3/20

H04N 5/66

(21)Application number : 11-234716

(71)Applicant : PIONEER ELECTRONIC CORP

(22)Date of filing : 20.08.1999

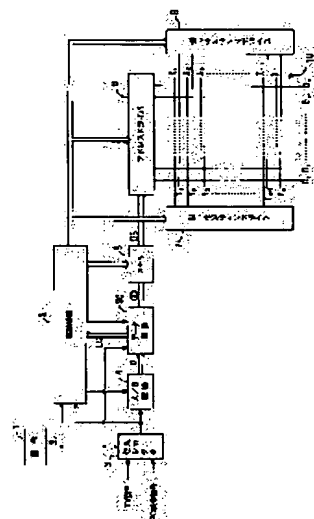
(72)Inventor : SUZUKI MASAHIRO
SAEGUSA NOBUHIKO

(54) METHOD FOR DRIVING PLASMA DISPLAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To improve display quality an gradation expressive power by selectively executing a first drive pattern and a second drive pattern according to the kind of an input video signal.

SOLUTION: A plasma display device for luminous-driving this panel consists of a drive part consisting of an operating device 1, a drive control circuit 2, an input selector 3, an A/D converter 4, a data conversion circuit 30, a memory 5, an address driver 6 and first and second sustain drivers 7, 8 and a PDP 10 as a plasma display panel. At this time, the luminous drive sequence consists of the first drive pattern alternately switching respective first and second luminous drive sequences that the ratios of the number of luminous times in respective sustain luminous processes among N pieces of division display devices are different from each other to execute it and the second drive pattern alternately switching respective third and fourth luminous drive sequences that the ratios of the number of luminous times in respective sustained luminous processes among N pieces of division display devices are different from each other to execute it. Then, the first and the second drive patterns are executed selectively according to the kind of the input video signal.



LEGAL STATUS

[Date of request for examination]

29.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the drive approach of the plasma display panel which forms the discharge cel corresponding to 1 pixel on each intersection with two or more train electrodes arranged by intersecting two or more line electrodes arranged for every scan line, and said line electrode. Divide a unit display period at the division display period of N individual, and it sets to each of said division display period. The pixel data write-in stroke which sets each of said discharge cel to either a nonluminescent cel or a luminescence cel according to the display drive pixel data of N bit which performed and obtained many gradation-ized processing to the input video signal, It has the luminescence drive sequence which performs the luminescence maintenance stroke in which only the count of luminescence corresponding to said weighting of each division display period makes only said luminescence cel emit light. said luminescence drive sequence with the 1st drive pattern with which the ratio of said count of luminescence in said said maintenance luminescence stroke of each division display period of said N individual switches the mutually different 1st and the 2nd shot photic-driving sequences of each by turns, and performs them for said every unit display period It consists of the 2nd drive pattern with which the ratio of said count of luminescence in said said maintenance luminescence stroke of each division display period of said N individual switches the mutually different 3rd and the 4th shot photic-driving sequences of each by turns, and performs them for said every unit display period. The drive approach of the plasma display panel characterized by performing alternatively said 1st drive pattern and said 2nd drive pattern according to the classification of said input video signal.

[Claim 2] Said input video signal is the drive approach of the plasma display panel according to claim 1 characterized by being the video signal or television signal from a personal computer.

[Claim 3] The drive approach of the plasma display panel according to claim 1 characterized by said unit display period being the 1 field or the one-frame display period of said input video signal.

[Claim 4] The intensity level of each gradation brightness point acquired by activation of said 1st shot photic-driving sequence, The intensity level of each gradation brightness point which the intensity level in each gradation brightness point acquired by said many gradation-ized processing at the time of activation of said 2nd shot photic-driving sequence is made in agreement, and is acquired by activation of said 3rd shot photic-driving sequence, The drive approach of the plasma display panel according to claim 1 characterized by changing mutually the intensity level in each gradation brightness point acquired by said many gradation-ized processing at the time of activation of said 4th shot photic-driving sequence.

[Claim 5] It is the drive approach of the plasma display panel which forms the discharge cel corresponding to 1 pixel on each intersection with two or more train electrodes arranged by intersecting two or more line electrodes arranged for every scan line, and said line electrode. Divide a unit display period at the division display period of N individual, and it sets to each of said division display period. The pixel data write-in stroke which sets each of said discharge cel to either a nonluminescent cel or a luminescence cel according to the display drive pixel data of N bit which performed and obtained many gradation-ized processing to the input video signal, It has the luminescence drive sequence which performs the luminescence maintenance stroke in which only the count of luminescence corresponding

to said weighting of each division display period makes only said luminescence cel emit light. said luminescence drive sequence the ratio of said count of luminescence in said said maintenance luminescence stroke of each division display period of said N individual consisting of the mutually different 1st and the mutually different 2nd shot photic-driving sequence, and with the intensity level of each gradation brightness point acquired by activation of said 1st shot photic-driving sequence The drive approach of the plasma display panel characterized by making in agreement the intensity level in each gradation brightness point acquired by said many gradation-ized processing at the time of activation of said 2nd shot photic-driving sequence.

[Claim 6] Said input video signal is the drive approach of the plasma display panel according to claim 5 characterized by being a television signal.

[Claim 7] The drive approach of the plasma display panel according to claim 5 characterized by said unit display period being the 1 field or the one-frame display period of said input video signal.

[Claim 8] It is the drive approach of the plasma display panel which forms the discharge cel corresponding to 1 pixel on each intersection with two or more train electrodes arranged by intersecting two or more line electrodes arranged for every scan line, and said line electrode. Divide a unit display period at the division display period of N individual, and it sets to each of said division display period. The pixel data write-in stroke which sets each of said discharge cel to either a nonluminescent cel or a luminescence cel according to the display drive pixel data of N bit which performed and obtained many gradation-ized processing to the input video signal, It has the luminescence drive sequence which performs the luminescence maintenance stroke in which only the count of luminescence corresponding to said weighting of each division display period makes only said luminescence cel emit light. said luminescence drive sequence the ratio of said count of luminescence in said said maintenance luminescence stroke of each division display period of said N individual consisting of the mutually different 1st and the mutually different 2nd shot photic-driving sequence, and with the intensity level of each gradation brightness point acquired by activation of said 1st shot photic-driving sequence The drive approach of the plasma display panel characterized by changing mutually the intensity level in each gradation brightness point acquired by said many gradation-ized processing at the time of activation of said 2nd shot photic-driving sequence.

[Claim 9] Said input video signal is the drive approach of the plasma display panel according to claim 8 characterized by being a video signal from a personal computer.

[Claim 10] The drive approach of the plasma display panel according to claim 8 characterized by said unit display period being the 1 field or the one-frame display period of said input video signal.

[Claim 11] the drive approach of the plasma display panel according to claim 1 characterized by amending the nonlinear display property of said input video signal by setting up the ratio of said count of luminescence in said said luminescence maintenance stroke of each division display period nonlinear.

[Claim 12] Said nonlinear display property is the drive approach of the plasma display panel according to claim 11 characterized by being a gamma property.

[Claim 13] The drive approach of the plasma display panel according to claim 11 characterized by performing said many gradation-ized processing before amending said nonlinear display property of said input video signal.

[Claim 14] Said many gradation-ized processing is the drive approach of the plasma display panel according to claim 1 characterized by consisting of error diffusion process and/or dithering, and changing the dither multiplier in said dithering for said every unit display period.

[Claim 15] The drive approach of the plasma display panel according to claim 1 characterized by separating the pixel data corresponding to said input video signal on the bit boundary of a high-order-bit group required for said many gradation-ized processing, and a lower bit group before performing said many gradation-ized processing.

[Claim 16] The reset stroke which has set at said division display period of the head section in said unit display period, and initializes said all discharge cels in the condition of either a luminescence cel or a

nonluminescent cel with a chisel is performed. The drive approach of the plasma display panel according to claim 1 characterized by having set in said pixel data write-in stroke of any 1 of said division display periods, and setting said discharge cel to either a nonluminescent cel or a luminescence cel according to said display drive pixel data with a chisel.

[Claim 17] The reset stroke which has set at said division display period of the head section in said unit display period, and initializes said all discharge cels in the condition of either a luminescence cel or a nonluminescent cel with a chisel is performed. The 1st pixel data pulse which makes the discharge which sets said discharge cel to either said nonluminescent cel or said luminescence cel according to said display drive pixel data in said pixel data write-in stroke of any 1 of said division display periods occur is impressed to said train electrode. The drive approach of the plasma display panel according to claim 1 characterized by impressing the 2nd same pixel data pulse as said 1st pixel data pulse to said train electrode in said pixel data write-in stroke in said division display period which exists immediately after that.

[Claim 18] The drive approach of the plasma display panel according to claim 16 or 17 characterized by establishing the elimination stroke which has set at said division display period at the tail end in said unit display period, and changes said all discharge cels into the condition of a nonluminescent cel with a chisel.

[Claim 19] The drive approach of a plasma display panel given in any 1 of claims 1, 16, and 17 characterized by setting said discharge cel as said nonluminescent cel by initializing said all discharge cels in the condition of said luminescence cel in said reset stroke, and carrying out elimination discharge of said discharge cel alternatively according to said display drive pixel data in said pixel data write-in stroke.

[Claim 20] The drive approach of a plasma display panel given in any 1 of claims 1, 16, and 17 characterized by setting said discharge cel as said luminescence cel by initializing said all discharge cels in the condition of said nonluminescent cel in said reset stroke, and carrying out write-in discharge of said discharge cel alternatively according to said display drive pixel data in said pixel data write-in stroke.

[Claim 21] The drive approach of the plasma display panel according to claim 1 or 19 characterized by performing an N+1 gradation drive by having set in said luminescence maintenance stroke in said n division display periods (n0-N) in each which continued from the head of said unit display period, and making said luminescence cel emit light with a chisel.

[Claim 22] The drive approach of the plasma display panel according to claim 1 or 20 characterized by performing an N+1 gradation drive by having set in said luminescence maintenance stroke in said n division display periods (n0-N) in each which continued from the tail end of said unit display period, and making said luminescence cel emit light with a chisel.

[Claim 23] the drive approach of the plasma display panel according to claim 21 or 22 characterized by more than the number of the division display periods when the number of the division display periods which bear low brightness luminescence among said each division display period arranged within said unit display period bears high brightness luminescence.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the drive approach of the plasma display panel (PDP is called hereafter) of a matrix display method.

[0002]

[Description of the Prior Art] PDP of AC (alternating current discharge) mold is known as one of the PDP(s) of this matrix display method. PDP of AC mold is equipped with two or more line electrode pairs which intersect perpendicularly with two or more train electrodes (address electrode) and these trains electrode, and are arranged, and form 1 scan line in a pair. Each [these] line electrode pair and a train electrode are covered with the dielectric layer to discharge space, and have the structure where the discharge cel corresponding to 1 pixel is formed on the intersection of a line electrode pair and a train electrode.

[0003] Under the present circumstances, since PDP uses the discharge phenomenon, the above-mentioned discharge cel has only two conditions, "luminescence" and nonluminescent ["nonluminescent"]. Then, the subfield method is used in order to realize the brightness display of halftone by this PDP. By the subfield method, the display period of the 1 field is divided into the subfield of N individual, the luminescence period which has the period length corresponding to weighting of each bit digit of pixel data (N bit) is assigned for every subfield, respectively, and a luminescence drive is performed.

[0004] For example, as shown in drawing 1 , when 1 field period is divided into six subfields SF1-SF6, a luminescence drive is carried out in the luminescence period ratio which becomes SF1:1SF2:2SF3:4SF4:8SF5:16SF6:32.

[0005] When making a discharge cel emit light by brightness "32", light is made to emit only in SF6 of the subfields SF1-SF6 here, as it is shown in drawing 1 . Moreover, when making light emit by brightness "31", light is made to emit in other subfields SF1-SF5 except a subfield SF 6. Thereby, the brightness expression of the halftone in 64 steps is attained.

[0006] What is necessary is just to increase the number of subfields, in order to increase the number of gradation so that clearly from the sequence of drawing 1 . However, in one subfield, since the pixel data write-in stroke for choosing a luminescence cel is needed, the count of the pixel data write-in stroke which should be carried out in 1 field also increases with the increment in the number of subfields. Thereby, the time amount assigned within 1 field period at a luminescence period (the die length of a luminescence maintenance stroke) will become short relatively, and will cause the fall of brightness.

[0007] Therefore, in order to realize graphic display by PDP, it is necessary to carry out a certain many gradation-ized processing to the video signal itself. As the technique of the formation of many gradation, error diffusion process is known, for example. Error diffusion process is adding the error of the pixel data and the predetermined threshold corresponding to a certain pixel (discharge cel) to the pixel data corresponding to a circumference pixel, and is the approach of increasing the number of gradation in false.

[0008] However, when there was few original gradation, the pattern of error diffusion came to be conspicuous, and there was a problem that S/N deteriorated.

[0009]

[Problem(s) to be Solved by the Invention] This invention is made in order to solve the above-

mentioned problem, and although display quality is raised, it aims at offering the drive approach of the plasma display panel which can raise gradation power of expression.

[0010]

[Means for Solving the Problem] The drive approach of the plasma display panel by this invention It is the drive approach of the plasma display panel which forms the discharge cel corresponding to 1 pixel on each intersection with two or more train electrodes arranged by intersecting two or more line electrodes arranged for every scan line, and said line electrode. Divide a unit display period at the division display period of N individual, and it sets to each of said division display period. The pixel data write-in stroke which sets each of said discharge cel to either a nonluminescent cel or a luminescence cel according to the display drive pixel data of N bit which performed and obtained many gradation-ized processing to the input video signal, It has the luminescence drive sequence which performs the luminescence maintenance stroke in which only the count of luminescence corresponding to said weighting of each division display period makes only said luminescence cel emit light. said luminescence drive sequence with the 1st drive pattern with which the ratio of said count of luminescence in said said maintenance luminescence stroke of each division display period of said N individual switches the mutually different 1st and the 2nd shot photic-driving sequences of each by turns, and performs them for said every unit display period It consists of the 2nd drive pattern with which the ratio of said count of luminescence in said said maintenance luminescence stroke of each division display period of said N individual switches the mutually different 3rd and the 4th shot photic-driving sequences of each by turns, and performs them for said every unit display period. According to the classification of said input video signal, said 1st drive pattern and said 2nd drive pattern are performed alternatively.

[0011]

[Embodiment of the Invention] Hereafter, the example of this invention is explained, referring to drawing. Drawing 2 is drawing showing the outline configuration of the plasma display equipment which carries out the luminescence drive of the plasma display panel based on the drive approach by this invention. the mechanical component which this plasma display equipment becomes from an operating set 1, the drive control circuit 2, the input selector 3, A/D converter 4, the data-conversion circuit 30, memory 5, the address driver 6, the 1st SASUTIN driver 7, and the 2nd SASUTIN driver 8, and PDP10 as a plasma display panel -- since -- it is constituted.

[0012] In addition, besides the television signal like NTSC system, this plasma display equipment corresponded also to PC video signal which is a video signal from a personal computer, and is equipped with the input terminal (not shown) of the dedication for inputting the video signals of each with which these methods differ according to the individual. In drawing 2 , an operating set 1 generates the input image assignment signal SV corresponding to the video signal in which input assignment was done by the user, and supplies this to each of the drive control circuit 2, the input selector 3, and the data-conversion circuit 30. For example, an operating set 1 generates logical level "0", when a user specifies the above-mentioned PC video signal as a video signal which should be made applicable [the] to a display, and when a colour television signal (TV signal is called hereafter) is specified, it generates the input image assignment signal SV of logical level "1."

[0013] among PC video signal supplied through the above-mentioned input terminal, and each TV signal, from from, the input selector 3 chooses alternatively the direction which embraced the above-mentioned input image assignment signal SV, and supplies it to A/D converter 4 by making this into an input video signal. In addition, as for each of PC video signal and TV signal, gamma correction processing is performed beforehand. A/D converter 4 samples the input video signal supplied from the above-mentioned input selector 3 according to the clock signal supplied from the drive control circuit 2, and changes this into the 8-bit pixel data D for every pixel. That is, A/D converter 4 changes the input video signal of the analog supplied from the input selector 3 into the 8-bit pixel data which can express brightness with 256 gradation.

[0014] To these 8-bit pixel data D, a brilliance control and the data which performed and obtained many

gradation-ized processings of each are changed into the display drive pixel data GD for actually carrying out the luminescence drive of each pixel of PDP10, and the data-conversion circuit 30 supplies them to memory 5. Drawing 3 is drawing showing the internal configuration of this data-conversion circuit 30. As shown in drawing 3, the data-conversion circuit 30 consists of the ABL (automatic brightness control) circuit 31, a 1st data-conversion circuit 32, a many gradation-ized processing circuit 33, and a 2nd data-conversion circuit 34.

[0015] The ABL circuit 31 adjusts an intensity level to the pixel data D for every pixel by which sequential supply is carried out from A/D converter 4, and supplies the brilliance-control pixel data DBL obtained at this time to the 1st data-conversion circuit 32 so that the average luminance of the image displayed on the screen of PDP10 may fall within a suitable brightness range. Drawing 4 is drawing showing the internal configuration of this ABL circuit 31.

[0016] In drawing 4, the level equalization circuit 310 outputs the brilliance-control pixel data DBL which adjusted the level of the pixel data D and were obtained according to the average luminance called for in the average luminance detector 311 mentioned later. The data-conversion circuit 312 is supplied to the average intensity-level detector 311 by using as the reverse gamma conversion pixel data Dr what changed these brilliance-control pixel data DBL into the reverse gamma property ($Y=X^{2.2}$) which consists of a **** nonlinear characteristic although shown in drawing 5. That is, the pixel data (reverse gamma conversion pixel data Dr) corresponding to the original video signal of which the gamma correction was canceled are restored by performing reverse gamma correction processing to the brilliance-control pixel data DBL. The average luminance detector 311 asks for the average luminance of these reverse gamma conversion pixel data Dr first. here -- the average luminance detector 311 -- this average luminance -- the highest brightness -- the minimum -- brightness -- it distinguishes to any of the brightness modes 1-4 which classified the range into four steps it corresponds, and the average luminance for which it asked as mentioned above is supplied to the above-mentioned level equalization circuit 310, supplying brightness mode signal LC which shows this corresponding brightness mode to the drive control circuit 2. That is, the level equalization circuit 310 is supplied to the above-mentioned data-conversion circuit 312 and the 1st data-conversion circuit 32 of the next step by using as the above-mentioned brilliance-control pixel data DBL what adjusted the level of the pixel data D according to this average luminance.

[0017] Drawing 6 is drawing showing the internal configuration of this 1st data-conversion circuit 32. In drawing 6, although the data-conversion circuit 321 is shown in drawing 7 (A), it changes the above-mentioned brilliance-control pixel data DBL into the 8-bit conversion pixel data A1 to "0"-"192" based on the **** transfer characteristic, and it supplies this to a selector 322. Although the data-conversion circuit 323 is shown in drawing 7 (B), it changes the above-mentioned brilliance-control pixel data DBL into the 8-bit conversion pixel data B1 to "0"-"192" based on the **** transfer characteristic, and it supplies this to a selector 322. Among these conversion pixel data A1 and B1, from from, a selector 322 chooses alternatively the direction which responded to the logical level of a transfer characteristic selection signal, and supplies this to a selector 324. In addition, the above-mentioned transfer characteristic selection signal is a signal which is supplied from the above-mentioned drive control circuit 2, and changes to "1" from "0" or "0" from logical level "1" according to the vertical-synchronization timing of an input video signal. Although the data-conversion circuit 325 is shown in drawing 8 (A), it changes the above-mentioned brilliance-control pixel data DBL into the 9-bit conversion pixel data A2 to "0"-"384" based on the **** transfer characteristic, and it supplies this to a selector 326. Although the data-conversion circuit 327 is shown in drawing 8 (B), it changes the above-mentioned brilliance-control pixel data DBL into 9-bit conversion pixel data B-2 to "0"-"384" based on the **** transfer characteristic, and it supplies this to a selector 326. Among these conversion pixel data A2 and B-2, from from, a selector 326 chooses alternatively the direction which responded to the logical level of the above-mentioned transfer characteristic selection signal, and supplies this to a selector 324. Among the conversion pixel data A1 (or B1) supplied from the selector

322, and the conversion pixel data A2 (or B-2) supplied from the selector 326, from from, a selector 324 chooses alternatively the direction which responded to the logical level of the input image assignment signal SV, and supplies it to the many gradation-ized processing circuit 33 of the next step by making this into the 1st conversion pixel data DH.

[0018] the transfer characteristic the 1st data-conversion circuit 32 is indicated to be to drawing 7 by it when input assignment of the TV signal is carried out in an operating set 1 by the configuration shown in drawing 6 -- being based -- "0"- -- the 255"8-bit brilliance-control pixel data DBL -- "0"- -- it changes into the 192"8-bit 1st conversion pixel data DH, and the many gradation-ized processing circuit 33 is supplied. the transfer characteristic shown in drawing 8 on the other hand when input assignment of the PC video signal is carried out -- being based -- "0"- -- the 255"8-bit brilliance-control pixel data DBL -- "0"- -- it changes into the 384"9-bit 1st conversion pixel data DH, and the many gradation-ized processing circuit 33 is supplied. In addition, drawing 7 (A) and drawing 8 (A) are the transfer characteristics by which a display, drawing 7 (B), and drawing 8 (B) of the odd number field (odd frame) are used at the time of the display of the even number field (even frames). Namely, the 1st data-conversion circuit 32 switches the transfer characteristic like drawing 8 (A) and drawing 8 (B) for every field, when the transfer characteristic used at the time of the conversion when input assignment of the TV signal is carried out is switched like drawing 7 (A) and drawing 7 (B) to each field (frame) of every and input assignment of the PC video signal is carried out.

[0019] Thus, generating (namely, generating of gradation distortion) of the flat part of the display property produced when there are no brightness saturation and display gradation by many gradation-ized processing in a bit boundary is prevented by establishing the 1st data-conversion circuit 32 in the preceding paragraph of the many gradation-ized processing circuit 33 mentioned later, and performing data conversion doubled with the number of display gradation, and the compression number of bits by the formation of many gradation. Drawing 9 R> 9 is drawing showing the internal configuration of the many gradation-ized processing circuit 33.

[0020] As it is shown in drawing 9 , the many gradation-ized processing circuit 33 consists of an error diffusion-process circuit 330 and a dithering circuit 350. First, the data separation circuit 331 in the error diffusion-process circuit 330 separates a part for an indicative data, low order 2, or a triplet for a part for 6 bits of high orders in 8 supplied from the above-mentioned 1st data-conversion circuit 32, or the 9-bit 1st conversion pixel data DH as error data, respectively. An adder 332 supplies the aggregate value which added and obtained a part for the low order 2 in the 1st conversion pixel data DH as these error data, or a triplet, the delay output from a delay circuit 334, and the multiplication output of the multiplier multiplier 335 to a delay circuit 336. A delay circuit 336 delays only the time delay D which has the same time amount as the clock period of pixel data for the aggregate value supplied from the adder 332, and is supplied to the above-mentioned multiplier multiplier 335 and a delay circuit 337 by making this into the delay addition signal AD 1, respectively. The multiplier multiplier 335 supplies the multiplication result obtained by carrying out the multiplication of the predetermined multiplier value K1 (for example, "7/16") to the above-mentioned delay addition signal AD 1 to the above-mentioned adder 332. A delay circuit 337 is supplied to a delay circuit 338 by making into the delay addition signal AD 2 that from which only time amount delayed further (the 1 horizontal-scanning period-above-mentioned time delay Dx4) the above-mentioned delay addition signal AD 1. A delay circuit 338 is supplied to the multiplier multiplier 339 by making into the delay addition signal AD 3 that from which only the above-mentioned time delay D delayed this delay addition signal AD 2 further. Moreover, a delay circuit 338 is supplied to the multiplier multiplier 340 by making into the delay addition signal AD 4 what delayed this delay addition signal AD 2 further by the above-mentioned time amount which becomes time delay Dx2. Furthermore, a delay circuit 338 is supplied to the multiplier multiplier 341 by making into the delay addition signal AD 5 what delayed this delay addition signal AD 2 by the above-mentioned time amount which becomes time delay Dx3. The multiplier multiplier 339 supplies the multiplication result obtained by carrying out the multiplication of the predetermined multiplier value K2 (for example, "3/16") to the

above-mentioned delay addition signal AD 3 to an adder 342. The multiplier multiplier 340 supplies the multiplication result obtained by carrying out the multiplication of the predetermined multiplier value K3 (for example, "5/16") to the above-mentioned delay addition signal AD 4 to an adder 342. The multiplier multiplier 341 supplies the multiplication result obtained by carrying out the multiplication of the predetermined multiplier value K4 (for example, "1/16") to the above-mentioned delay addition signal AD 5 to an adder 342. An adder 342 supplies the addition signal which added the multiplication result supplied from the above-mentioned multiplier multipliers 339 and 340 and 341 each, and was acquired to the above-mentioned delay circuit 334. This addition signal is delayed by the above-mentioned time amount time-delay D Becoming, and a delay circuit 334 supplies it to the above-mentioned adder 332. An adder 332 adds the above-mentioned error data (the low order 2 or triplet in the 1st conversion pixel data DH), the delay output from a delay circuit 334, and the multiplication output of the multiplier multiplier 335, in this case, when there is no carry, it generates logical level "0", when there is carry, generates the carry out signal CO of logical level "1", and supplies it to an adder 333. An adder 333 outputs what added the above-mentioned carry out signal CO to the above-mentioned indicative data (a part for 6 bits of high orders in the 1st conversion pixel data DH) as 6-bit error diffusion-process pixel data ED.

[0021] Actuation of the error diffusion-process circuit 330 which becomes below from this configuration is explained. For example, although shown in drawing 10 , when asking for the error diffusion-process pixel data ED corresponding to the pixel G of **** PDP10 (j, k), first, each error data corresponding to the pixel G (j, k-1) on the left of this pixel G (j, k), the diagonally left pixel G (j-1, k-1), the pixel G right above (j-1, k), and diagonally right pixel G (j-1, k+1) of each -- that is Error data corresponding to Pixel G (j, k-1) : The delay addition signal AD 1 Error data corresponding to Pixel G (j-1, k+1) : The delay addition signal AD 3 Error data corresponding to the pixel G (j-1, k): Delay addition signal AD 4 Error data corresponding to Pixel G (j-1, k-1): Carry out weighting addition to delay addition signal AD5 each with the **** predetermined multiplier values K1-K4 mentioned above. Next, let what added a part for the low order 2 in the 1st conversion pixel data DH, or a triplet, i.e., the error data corresponding to Pixel G (j, k), to this addition result, and added the carry out signal CO for 1 bit obtained at this time to a part for 6 bits of high orders in the 1st conversion pixel data DH, i.e., the indicative data corresponding to Pixel G (j, k), be the error diffusion-process pixel data ED.

[0022] The error diffusion-process circuit 330 a part for 6 bits of high orders in the 1st conversion pixel data DH Namely, an indicative data, He regards the remaining lower bits as error data, and is trying to make what carried out weighting addition of the error data in the circumference pixels {G (j, k-1), G (j-1, k+1), G (j-1, k), G (j-1, k-1)} in each reflect in the above-mentioned indicative data. By this actuation, the brightness component corresponding to the lower bit in a original pixel {G (j, k)} is expressed by the above-mentioned circumference pixel in false, and, so, a brightness gradation expression equivalent to the pixel data for above-mentioned 8 bits is attained with the number of bits smaller than 8 bits, i.e., the indicative data for 6 bits.

[0023] In addition, if the multiplier value of this error diffusion is uniformly added to each pixel, the noise by the error diffusion pattern may be checked visually, and will spoil image quality. Then, you may make it change into every 1 field (frame) the multipliers K1-K4 of the error diffusion which should be assigned to four pixels of each like the case of the dither multiplier mentioned later.

[0024] By performing dithering to the error diffusion-process pixel data ED supplied from this error diffusion-process circuit 330, although the dithering circuit 350 maintains brightness gradation level equivalent to the 6-bit error diffusion-process pixel data ED, it generates the many gradation-ized processing pixel data DS which reduced the number of bits to 4 more bits. In addition, in this dithering, two or more adjoining pixels express one middle display level. For example, when performing the gradation display of 8 bits using pixel data of 6 bits of high orders of the 8-bit pixel data, right and left and four pixels which adjoin mutually up and down are made into 1 set, and four dither multiplier a-d which consists of mutually different multiplier values is assigned to the pixel data of each corresponding

to 1 set of each of these pixels, respectively, and is added to them. According to this dithering, the combination of four different middle display level will occur in 4 pixels. Therefore, even if the number of bits of metaphor pixel data is 6 bits, 4 times of the brightness gradation level which can be expressed, i.e., the halftone display of 8 bits, become possible.

[0025] However, if the dither pattern which becomes dither multiplier a-d is uniformly added to each pixel, the noise by this dither pattern may be checked visually, and will spoil image quality. Then, he is trying to change above-mentioned dither multiplier a-d which should be assigned to four pixels of each for every field in the dithering circuit 350.

[0026] Drawing 11 is drawing showing the internal configuration of this dithering circuit 350. In drawing 11, the dither multiplier generating circuit 352 generates four dither multipliers a, b, c, and d every four pixels which adjoins mutually, and supplies these to an adder 351 one by one. In addition, the dither multiplier generating circuit 352 is changing the value of dither multiplier a-d which should be generated according to the input assignment video signal shown by the above-mentioned input image assignment signal SV.

[0027] namely, when the video signal by which input assignment was carried out by the input image assignment signal SV is a TV signal it is shown in drawing 12 -- as -- the dither multiplier a:0 dither multiplier b:1 dither multiplier c:2 dither multiplier d:3, while generating dither multiplier a-d which consists of 2 bits of each when the video signal by which input assignment was carried out is a PC video signal, it is shown in drawing 12 -- as -- the dither multiplier a:0 (or 1) dither multiplier b:2 (or 3) dither multiplier c:4 (or 5) dither multiplier d:6 (or 7) -- dither multiplier a-d which consists of an each triplet is generated.

[0028] the pixel G (j+1, k) corresponding to the pixel G corresponding to [as shown in drawing 13] the j-th line (j, k) and Pixel G (j, k+1), and a ** (j+1) line in these dither multiplier a-d of each, and pixel G (j+1, k+1) -- it is assigned to four pixels of each which adjoined mutually. For every field, it changes and the dither multiplier generating circuit 352 goes, as above-mentioned dither multiplier a-d which should be assigned to these four pixels of each is shown in drawing 13.

[0029] Namely, the dither multiplier generating circuit 352 is set in the first field [1st]. Pixel G (j, k) : dither multiplier a pixel G (j, k+1) : dither multiplier b pixel G (j+1, k) : dither multiplier c pixel G (j+1, k+1) : In the 2nd field of the d-th dither multiplier Pixel G (j, k) : dither multiplier b pixel G (j, k+1) : dither multiplier a pixel G (j+1, k) : dither multiplier d pixel G (j+1, k+1) : In the 3rd field of the c-th dither multiplier pixel G (j, k) : dither multiplier d pixel G (j, k+1) : dither multiplier c pixel G (j+1, k) : -- the dither multiplier [of b pixels] G(j+1, k+1):dither multiplier a -- and It sets in the 4th field and is Pixel G (j, k) : dither multiplier c pixel G (j, k+1) : dither multiplier d pixel G (j+1, k) : dither multiplier a pixel G (j+1, k+1) : In the assignment like the dither multiplier b, circulate through dither multiplier a-d and it generates repeatedly. This is supplied to an adder 351. The dither multiplier generating circuit 352 repeats and performs actuation of the 1st field of **** mentioned above - the 4th field. That is, if dither multiplier generating actuation in this 4th field is completed, again, it will return to actuation of the 1st field of the above, and the actuation mentioned above will be repeated. The above-mentioned pixel G to which an adder 351 is supplied from the above-mentioned error diffusion-process circuit 330 (j, k) To error diffusion-process pixel data ED of each corresponding to Pixel G (j, k+1), Pixel G (j+1, k), and pixel G (j+1, k+1) of each Like ****, dither multiplier a-d assigned for every field is added, respectively, and the dither addition pixel data obtained at this time are supplied to the high-order-bit extract circuit 353.

[0030] For example, it sets in the 1st field shown in drawing 17. The error diffusion-process pixel data ED+ dither multiplier a corresponding to Pixel G (j, k) The error diffusion-process pixel data ED+ dither multiplier b corresponding to Pixel G (j, k+1) By using each of the error diffusion-process pixel data ED+ dither multiplier c corresponding to Pixel G (j+1, k), and the error diffusion-process pixel data ED+ dither multiplier d corresponding to Pixel G (j+1, k+1) as dither addition pixel data, sequential supply is carried out and it goes to the high-order-bit extract circuit 353. The high-order-bit extract circuit 353 extracts even a part for 4 bits of high orders of these dither addition pixel data, and outputs this as many

gradation-ized pixel data DS.

[0031] Like the above, by changing above-mentioned dither multiplier a-d which should be assigned to four pixels of each for every field, and going, although the dithering circuit 350 shown in drawing 9 reduces the visual noise by the dither pattern, it asks for the 4-bit many gradation-ized pixel data DS visually formed into many gradation, and it supplies this to the 2nd data-conversion circuit 34.

[0032] although the 2nd data-conversion circuit 34 is shown in drawing 14 in these 4-bit many gradation-ized pixel data DS. -- a **** translation table -- following -- the 1- it changes into the display drive pixel data GD which consist of the 12th bit. in addition, these the 1- bit [12th] each corresponds to subfield [which is mentioned later] SF 1 - SF12 each. According to the data-conversion circuit 30 which consists of the ABL circuit 31, the 1st data-conversion circuit 32, a many gradation-ized processing circuit 33, and the 2nd data-conversion circuit 34 like the above, although the pixel data D which can express 256 gradation by 8 bits are shown in drawing 14 , they are changed into the 12-bit display drive pixel data GD which consist of 13 patterns by all ****.

[0033] According to the write-in signal supplied from the drive control circuit 2, the memory 5 of drawing 2 writes in the above-mentioned display drive pixel data GD one by one, and memorizes them. By this write-in actuation, after the writing of display drive pixel data GD11-nm for one screen (n lines, m train) is completed, according to the read-out signal supplied from the drive control circuit 2, memory 5 reads display drive pixel data GD11-nm one by one for every one line with the same bit digits, and supplies it to the address driver 6. Memory 5 ***** drive pixel data GD11-nm for one screen which each becomes from 12 bits namely, for every bit digit DB111-nm : The 1st bit of display drive pixel data GD11-nm -211-nm : The 2nd bit of display drive pixel data GD11-nm DB311-nm : The 3rd bit of display drive pixel data GD11-nm DB411-nm : The 4th bit of display drive pixel data GD11-nm DB511-nm : The 5th bit of display drive pixel data GD11-nm DB611-nm : The 6th bit of display drive pixel data GD11-nm DB711-nm: -- 7th bit DB811-nm: of display drive pixel data GD11-nm -- display drive pixel data GD11-nm the 8th bit DB911-nm : The 9th bit of display drive pixel data GD11-nm DB1011-nm : The 10th bit of display drive pixel data GD11-nm DB1111-nm : The 11th bit of display drive pixel data GD11-nm DB1211-nm : It regards as display drive pixel data bit DB111-nm-DB1211-nm divided into 12 like the 12th bit of display drive pixel data GD11-nm. According to these DB111-nm,-211-nm,, the read-out signal to which DB1211-nm(s) of each were supplied from the drive control circuit 2, it is beginning to read one by one for every one line, and the address driver 6 is supplied.

[0034] The drive control circuit 2 generates the clock signal over above-mentioned A/D converter 4, and the store and read-out signal over memory 5 synchronizing with the horizontal and Vertical Synchronizing signal in the above-mentioned input video signal. Furthermore, the drive control circuit 2 generates these various timing signals that should carry out drive control of address driver 6, 1st SASUTIN driver 7, and 2nd SASUTIN driver 8 each synchronizing with level and a Vertical Synchronizing signal.

[0035] the display drive pixel data bit DB for one line read from this memory 5 according to the timing signal with which the address driver 6 was supplied from the drive control circuit 2 -- m pixel data pulses which have an electrical potential difference corresponding to each logical level are generated, and these are impressed to the train electrodes D1-Dm of PDP10, respectively. PDP10 is equipped with the above-mentioned train electrodes D1-Dm as an address electrode, and the line electrodes X1-Xn and the line electrodes Y1-Yn which are arranged by intersecting perpendicularly with these trains electrode. In PDP10, the line electrode which corresponded to one line in the pair of these line electrode X and the line electrode Y is formed. That is, the line electrode pairs of the 1st line in PDP10 are the line electrodes X1 and Y1, and the line electrode pairs of the n-th line are the line electrodes Xn and Yn. The top Noriyuki electrode pair and the train electrode are covered with the dielectric layer to discharge space, and have the structure where the discharge cel corresponding to a pixel is formed on the intersection of each line electrode pair and a train electrode.

[0036] According to the timing signal supplied from the drive control circuit 2, although 1st SASUTIN

driver 7 and 2nd SASUTIN driver 8 each is explained below, it generates **** various driving pulses, and it impresses these to the line electrodes X1-Xn of PDP10, and Y1-Yn. Drawing 15 is drawing showing an example of the impression timing of the various driving pulses which above-mentioned address driver 6, 1st SASUTIN driver 7, and 2nd SASUTIN driver 8 each impresses to the train electrodes D1-Dm of PDP10, the line electrodes X1-Xn, and Y1-Yn.

[0037] In addition, in an example shown in drawing 15, the display period of the 1 field is divided into 12 subfields SF1-SF12, and the gradation drive to PDP10 is performed. under the present circumstances -- each -- a subfield -- inside -- **** -- PDP -- ten -- each -- discharge -- a cel -- receiving -- a pixel -- data -- writing -- carrying out -- " -- luminescence -- a cel -- " -- and -- " -- nonluminescent -- a cel -- " -- a setup -- carrying out -- a pixel -- data -- a store -- a stroke -- Wc -- the above -- " -- luminescence -- a cel -- " -- each -- a subfield -- weighting -- having corresponded -- a period (count) -- only -- luminescence -- maintenance -- carrying out -- making -- luminescence -- maintenance -- a stroke -- Ic -- carrying out. However, the simultaneous reset stroke Rc which it has set [stroke] to the top subfield SF 1, and makes all the discharge cels of PDP10 initialize with a chisel is performed, and the elimination stroke E is performed in the subfield SF 12 at the tail end.

[0038] First, in the above-mentioned simultaneous reset stroke Rc, although 1st SASUTIN driver 7 and 2nd SASUTIN driver 8 each is shown in drawing 15 to the line electrodes X1-Xn of PDP10 and Y1 - Yn(s) of each, it impresses the **** reset pulses RPx and RPY to coincidence. According to impression of these reset pulses RPx and RPY, all the discharge cels in PDP10 carry out reset discharge, and predetermined wall charge is uniformly formed in each discharge cel. Thereby, all discharge cels are once set as above-mentioned "luminescence cel."

[0039] Next, the pixel data pulse which has an electrical potential difference corresponding to the logical level of the display drive pixel data bit DB supplied from the above-mentioned memory 5 is generated, and the address driver 6 impresses this to train electrode D1-m one by one for every one line, and goes by the pixel data write-in stroke Wc. That is, first, in the pixel data write-in stroke Wc of a subfield SF 1, the 111 to 1 m part corresponding to the 1st line, i.e., DB, is extracted from among the above-mentioned display drive pixel data bit DB111-nm(s), pixel data pulse group DP11 which consists of a pixel data pulse for m pieces corresponding to each logical level these [DB / 111 to 1 m] is generated, and it is impressed by train electrode D1-m. Next, 121 to 2 m DB which is a part corresponding to the 2nd line of these display drive pixel data bit DB111-nm(s) is extracted, pixel data pulse group DP12 which consists of a pixel data pulse for m pieces corresponding to each logical level these [DB / 121 to 2 m] is generated, and it is impressed by train electrode D1-m. Hereafter, similarly, within the pixel data write-in stroke Wc of a subfield SF 1, pixel data pulse group DP13 for every one line - DP1n are impressed to train electrode D1-m one by one, and it goes. Then, within the pixel data write-in stroke Wc of a subfield SF 2, first, the 211 to 1 m part corresponding to the 1st line, i.e., DB, is extracted from among the above-mentioned display drive pixel data bit-211-nm(s), pixel data pulse group DP21 which consists of a pixel data pulse for m pieces corresponding to each logical level these [DB / 211 to 1 m] is generated, and it is impressed by train electrode D1-m. Next, 221 to 2 m DB which is a part corresponding to the 2nd line of these display drive pixel data bit-211-nm(s) is extracted, pixel data pulse group DP22 which consists of a pixel data pulse for m pieces corresponding to each logical level these [DB / 221 to 2 m] is generated, and it is impressed by train electrode D1-m. Hereafter, similarly, within the pixel data write-in stroke Wc of a subfield SF 2, pixel data pulse group DP23 for every one line - DP2n are impressed to train electrode D1-m one by one, and it goes. Hereafter, in the pixel data write-in stroke Wc in subfield SF 3 - SF12 each, the address driver 6 assigns pixel data pulse group DP31-n-DP121-n of each generated based on display drive pixel data bit DB311-nm-DB1211-nm(s) of each to subfield SF 3 - SF12 each, impresses these to train electrode D1-m, and goes similarly. In addition, the address driver 6 generates the pixel data pulse of the high voltage, when the logical level of the display drive pixel data bit DB is "1", and when it is "0", it shall generate the pixel data pulse of a

low battery (0 volt).

[0040] Furthermore, in the pixel data write-in stroke Wc, although shown in drawing 1515, the scan pulse SP of **** negative polarity is generated, and the 2nd SASUTIN driver 8 carries out sequential impression of this to the line electrodes Y1-Yn, and goes by the same timing as each impression timing of **** pixel data pulse group DP mentioned above. Under the present circumstances, discharge (selection elimination discharge) arises only in the discharge cel of the intersection of the "line" to which the scan pulse SP was impressed, and the "train" to which the pixel data pulse of the high voltage was impressed, and the wall charge which remained in that discharge cel is eliminated alternatively. That is, it has determined whether 1st bit - the 12th bit of each in the display drive pixel data GD makes selection elimination discharge occur in the pixel data write-in stroke Wc in subfield SF 1 - SF12 each. By this selection elimination discharge, the discharge cel initialized by the condition of a "luminescence cel" in the above-mentioned simultaneous reset stroke Rc changes to a "nonluminescent cel." Discharge does not occur in the discharge cel currently formed in the "train" to which the pixel data pulse of a low battery was impressed on the other hand, but the present condition is held. That is, in the discharge cel of a "nonluminescent cel", the discharge cel of a "luminescence cel" maintains the condition of a "luminescence cel" as it is with a "nonluminescent cel." Thus, the "luminescence cel" in which maintenance discharge occurs in the luminescence maintenance stroke Ic just behind that, and the "nonluminescent cel" in which maintenance discharge does not occur are set up according to the pixel data write-in stroke Wc for every subfield.

[0041] Next, in the luminescence maintenance stroke Ic of each subfield, 1st SASUTIN driver 7 and 2nd SASUTIN driver 8 each impresses the maintenance pulses IPX and IPY of straight polarity by turns, as shown in drawing 15 to the line electrodes X1-Xn, and Y1-Yn. Here, the count of the maintenance pulse IP impressed in the luminescence maintenance stroke Ic is set up according to the weighting for every subfield, and differ according to the classification of the video signal chosen as an input video signal in brightness mode signal LC further supplied from the data-conversion circuit 30 shown in drawing 2, and the above-mentioned input selector 3.

[0042] the case where, as for drawing 16, TV signal is chosen as an input video signal -- subfields SF1-SF12 -- it is drawing showing the count of the maintenance pulse IP impressed in each luminescence maintenance stroke Ic. In addition, drawing 16 (A) shows the count of the maintenance pulse IP which impresses drawing 16 (B) at the time of the display of the even number field (even frames) for each mode of every according to brightness mode signal LC, respectively at the time of the display of the odd number field (odd frame).

[0043] the case where, as for drawing 17, PC video signal is chosen as an input video signal on the other hand -- subfields SF1-SF12 -- it is drawing showing the count of the maintenance pulse IP which should be impressed in each luminescence maintenance stroke Ic. In addition, drawing 17 (A) shows the count of the maintenance pulse IP which impresses drawing 17 (B) at the time of the display of the even number field (even frames) for each mode of every according to brightness mode signal LC, respectively at the time of the display of the odd number field (odd frame).

[0044] For example, when each of brightness mode signal LC which shows the input image assignment signal SV and the brightness mode 1 which TV signal is specified as an input video signal is supplied, although the drive control circuit 2 is shown in drawing 18, it supplies the various timing signals which should make actuation according to a **** luminescence drive sequence carry out to address driver 6, 1st SASUTIN driver 7, and 2nd SASUTIN driver 8 each.

[0045] In addition, the luminescence drive sequence which sets drawing 18 (A) to the display of the odd number field (odd frame), sets drawing 18 (B) at the time of the display of the even number field (even frames), and is carried out is shown, respectively. That is, when the video signal by which input assignment was carried out is a TV signal and it is in brightness mode 1, each subfields SF1-SF12 -- the count ratio of the maintenance pulse IP impressed in each luminescence maintenance stroke Ic At the time of the display of the odd number field (odd frame) It is set to

SF1:2SF2:2SF3:6SF4:8SF5:11SF6:17SF7:22SF8:28SF9:35SF10:43SF11:51SF12:30 as it is shown in drawing 18 (A). At the time of the display of the even number field (even frames), as it is shown in drawing 18 (B), it is set to

SF1:1SF2:2SF3:4SF4:6SF5:10SF6:14SF7:19SF8:25SF9:31SF10:39SF11:47SF12:57.

[0046] When each of brightness mode signal LC which, on the other hand, shows the input image assignment signal SV and the brightness mode 1 which PC video signal is specified as an input video signal is supplied, although the drive control circuit 2 is shown in drawing 19, it supplies the various timing signals which should make actuation according to a **** luminescence drive sequence carry out to address driver 6, 1st SASUTIN driver 7, and 2nd SASUTIN driver 8 each.

[0047] In addition, the luminescence drive sequence which sets drawing 19 (A) to the display of the odd number field (odd frame), sets drawing 19 (B) at the time of the display of the even number field (even frames), and is carried out is shown, respectively. that is, the case where an input video signal is a PC video signal, and it is in brightness mode 1 -- each subfields SF1-SF12 -- the count ratio of the maintenance pulse IP impressed in each luminescence maintenance stroke Ic At the time of the display of the odd number field (odd frame) It is set to

SF1:1SF2:2SF3:4SF4:7SF5:11SF6:14SF7:20SF8:25SF9:33SF10:40SF11:48SF12:50 as it is shown in drawing 19 (A). At the time of the display of the even number field (even frames), as it is shown in drawing 19 (B), it is set to

SF1:1SF2:2SF3:4SF4:6SF5:10SF6:14SF7:19SF8:25SF9:31SF10:39SF11:47SF12:57.

[0048] Under the present circumstances, the count ratio of the maintenance pulse IP impressed in above-mentioned subfield SF 1 - SF12 each is non-linearity (namely, a reverse gamma ratio, $Y=X^2$ and 2), and he is trying to amend the nonlinear characteristic (gamma property) beforehand given to the input video signal by this. in addition, the number of the subfields which bear low brightness luminescence among above-mentioned subfield SF 1 - SF12 each is made [more] than the number of the subfields which bear high brightness luminescence. That is, the number of the subfields where the count of impression of the maintenance pulse IP becomes 25 or less times and which bear low brightness luminescence comparatively is eight to SF1-SF8, and there is than the number of the subfields SF9-SF12 which bear high brightness luminescence. [more]

[0049] And the elimination stroke E is performed in the subfield SF 12 at the tail end. In this elimination stroke E, although the address driver 6 is shown in drawing 15, it generates blanking pulse AP of **** straight polarity, and impresses this to train electrode D1-m. Furthermore, although the 2nd SASUTIN driver 8 is shown in the impression timing and coincidence of this blanking pulse AP at drawing 15, it generates blanking pulse EP of **** negative polarity, and impresses this to the line electrode Y1 - Yn(s) of each. By coincidence impression of these blanking pulses AP and EP, elimination discharge occurs in [all / in PDP10] a discharge cel, and the wall charge which remains in all discharge cels disappears. That is, all the discharge cels in PDP10 turn into a "nonluminescent cel" by this elimination discharge.

[0050] Here, only the count according to the count ratio of **** which only the discharge cel set as the "luminescence cel" in the pixel data write-in stroke Wc in each subfield shown in drawing 18 or drawing 19 mentioned above in the luminescence maintenance stroke Ic carried out just behind that repeats maintenance discharge, and the luminescence condition is maintained. Under the present circumstances, although shown in drawing 14, it is decided with the **** display drive pixel data GD as any each discharge cel shall be set between a "luminescence cel" and a "nonluminescent cel" for every subfield. That is, 1st bit - the 12th bit of each of the display drive pixel data GD supports subfield SF 1 - SF12 each, it restricts, when it is logical level "1", and selection elimination discharge occurs [the logical level of the bit] in the pixel data write-in stroke Wc of the subfield corresponding to the bit digit, and a discharge cel is set as a "nonluminescent cel." On the other hand, since the above-mentioned selection elimination discharge does not occur when the logical level of the bit is logical level "0", the present condition is maintained. That is, in the discharge cel of a "nonluminescent cel", the discharge cel of a

"luminescence cel" maintains the condition of a "luminescence cel" as it is with a "nonluminescent cel." Under the present circumstances, the opportunity which can make a discharge cel change to a "luminescence cel" from the condition of a "nonluminescent cel" among subfields SF1-SF12 is only the reset stroke Rc in the top subfield SF 1. Therefore, in the pixel data write-in stroke Wc of any 1 of subfields SF1-SF12, selection elimination discharge occurs after termination of this reset stroke Rc, and the discharge cel which has once changed to the "nonluminescent cel" does not change to a "luminescence cel" again into this field. therefore -- although shown in drawing 14 , until selection elimination discharge occurs in the subfield where each discharge cel is shown in the black dot of drawing 14 according to the data pattern of the **** display drive pixel data GD -- only -- it becomes a "luminescence cel" and only the count of **** mentioned above in the luminescence maintenance stroke Ic of each subfield shown with a circle [white] exists between them performs maintenance discharge.

[0051] When an input video signal is a TV signal and it is in brightness mode 1 by this, as shown in drawing 14 , at the time of an odd number field (odd frame) display, it succeeds in the gradation drive which has the brightness expression for 13 gradation {0:2:4:10:18:29:46:6 8:96:131:174:225:255} Becoming, and succeeds in the gradation drive which has the brightness expression for 13 gradation {81:112:151:198:255 [0:1:3:7:13:23:37:56:]} Becoming at the time of an even number field (even frames) display.

[0052] Drawing 20 is drawing showing the correspondence relation between this input video signal and the display brightness of the image actually displayed on PDP10 according to this input video signal, when an input video signal is a TV signal. In drawing 20 , although the gradation brightness point and "<>" which are obtained by the gradation drive which followed the **** luminescence drive sequence although "**" was shown in drawing 18 (A) are shown in drawing 18 R> 8 (B), they show the gradation brightness point acquired by the gradation drive according to a **** luminescence drive sequence, respectively.

[0053] As shown in drawing 20 , when an input video signal is a TV signal, although shown in drawing 18 (A) and drawing 18 (B), a **** luminescence drive sequence is switched by turns to every 1 field (one frame), and is carried out. According to this drive, the gradation brightness point acquired by the luminescence drive sequence of another side will be added in the middle of two gradation brightness points acquired by one luminescence drive sequence.

[0054] In addition, in drawing 20 , the gradation brightness point which adjoins mutually, i.e., the brightness between "**" and "<>", is acquired by many gradation-ized processing of the **** error diffusion process mentioned above, dithering, etc. Drawing 21 is drawing showing the physical relationship of the gradation brightness point ("**") acquired by the luminescence drive sequence shown in the field E1 in drawing 20 at drawing 18 (A), the gradation brightness point ("<>") acquired by the luminescence drive sequence shown in drawing 18 (B), the gradation brightness point ("--") acquired by error diffusion process, and the gradation brightness point ("**") acquired by dithering.

[0055] Under the present circumstances, as shown in drawing 21 , a part of each gradation brightness point ("**") acquired in false by the above-mentioned dithering has the same intensity level as the gradation brightness point ("**") acquired by operation of the luminescence drive sequence shown in drawing 18 (A) and drawing 18 (B). Therefore, to the bad input video signal of S/N like TV signal, the false increment in the number of gradation by the above-mentioned error diffusion process and dithering is achieved comparatively, stopping a flicker according to the storage effect of the direction of time amount, and mitigating a dither noise.

[0056] On the other hand, when an input video signal is a PC video signal with comparatively sufficient S/N, as shown in drawing 14 , at the time of an odd number field (odd frame) display, it succeeds in the gradation drive which has the brightness expression for 13 gradation {84:117:157:205:255 [0:1:3:7:14:25:39:59:]} Becoming, and succeeds in the gradation drive which has the brightness expression for 13 gradation {81:112:151:198:255 [0:1:3:7:13:23:37:56:]} Becoming at the time of an even

number field (even frames) display.

[0057] Drawing 22 is drawing showing the correspondence relation between this input video signal and the display brightness of the image displayed on PDP10 according to this input video signal, when an input video signal is the above-mentioned PC video signal. In drawing 22, although the gradation brightness point and "<>" which are obtained by the gradation drive which followed the **** luminescence drive sequence although "*" was shown in drawing 19 (A) are shown in drawing 19 (B), they show the gradation brightness point acquired by the gradation drive according to a **** luminescence drive sequence, respectively.

[0058] As shown in drawing 22, when an input video signal is a PC video signal, although shown in every 1 field (one frame) at drawing 19 (A) and drawing 19 (B), **** and the luminescence drive sequence from which the gradation brightness point is shifted slightly mutually are switched by turns, and are carried out. According to this drive, the gradation brightness point acquired by the luminescence drive sequence of another side will be added to the location near one gradation brightness point between two gradation brightness points acquired by one luminescence drive sequence.

[0059] in addition, drawing 22 -- setting -- "*" and "<>" -- brightness other than the brightness shown with a gradation brightness point is obtained by many gradation-ized processing of **** error diffusion process, dithering, etc. mentioned above. Drawing 23 is drawing showing the physical relationship of the gradation brightness point ("*") acquired by the luminescence drive sequence shown in the field E2 in drawing 22 at drawing 19 (A), the gradation brightness point ("<>") acquired by the luminescence drive sequence shown in drawing 19 (B), the gradation brightness point ("--") acquired by error diffusion process, and the gradation brightness point ("*") acquired by dithering.

[0060] Thus, since dither multiplier a-d (a= 0, b= 2, c= 4, d= 6) of a **** triplet is used although shown in drawing 12 at the time of the dithering when input assignment of the PC video signal is carried out, as shown in drawing 23, roughness and fineness arise in distribution with the gradation brightness points of each acquired by error diffusion process. Therefore, as shown in drawing 23, each of the gradation brightness point acquired in false by the above-mentioned error diffusion process and dithering and each of the gradation brightness point acquired by operation of a **** luminescence drive sequence although shown in drawing 19 (A) and drawing 19 (B) serve as a mutually different intensity level.

[0061] Therefore, it is the luminescence drive sequence the number of display gradation on vision is indicated to be to drawing 18 by the storage effect of the direction of time amount. (namely, luminescence drive sequence used when TV signal is specified as an input video signal) As compared with the case where it adopts, it increases to a twice as many abbreviation as this. That is, when input assignment of the video signal with comparatively sufficient S/N like PC video signal is carried out, the number of gradation expressed in false is sharply increased by shifting the false gradation brightness point acquired by error diffusion process and dithering to the gradation brightness point acquired by operation of a **** luminescence drive sequence although shown in drawing 19 (A) and drawing 19 (B).

[0062] In addition, in the above-mentioned example, by making wall charge form in each discharge cel beforehand, and setting all discharge cels as the luminescence cel as the write-in approach of pixel data, and eliminating the wall charge alternatively according to pixel data described the case where the so-called selection elimination address method for succeeding in the store of pixel data was adopted. However, this invention is applicable similarly about the case where the so-called selection write-address method which formed wall charge alternatively as the write-in approach of pixel data according to pixel data is adopted.

[0063] Drawing 24 is drawing showing an example of the impression timing of the various driving pulses which above-mentioned address driver 6, 1st SASUTIN driver 7, and 2nd SASUTIN driver 8 each impresses to the train electrodes D1-Dm of PDP10, the line electrodes X1-Xn, and Y1-Yn, when this selection write-address method is adopted. Moreover, drawing 25 is drawing showing the luminescence drive sequence carried out when a selection write-address method is adopted, and TV signal is specified as an input video signal, and drawing 26 R> 6 is drawing in which carrying out when PC video signal is

specified, and showing a luminescence drive sequence for **. In addition, the luminescence drive sequence to which the display, drawing 25 (B), and drawing 26 (B) of each of the odd number field (odd frame) carry out drawing 25 (A) and drawing 26 of each (A) at the time of the display of the even number field (even frames) is shown, respectively.

[0064] Furthermore, drawing 27 is the translation table used in the 2nd data-conversion circuit 34 shown in drawing 6, and drawing showing all the patterns of the luminescence drive carried out by the list within 1 field period, when this selection write-address method is adopted. Here, as shown in above-mentioned drawing 24, when a selection write-address method is adopted, in the simultaneous reset stroke Rc in the top subfield SF 12, the 1st SASUTIN driver 7 and the 2nd SASUTIN driver 8 impress reset pulses RP_x and RP_y to the line electrodes X and Y of PDP10 first at coincidence, respectively. Thereby, reset discharge of all the discharge cells in PDP10 is carried out, and wall charge is made to form compulsorily in each discharge cell (R1). The 1st SASUTIN driver 7 makes the above-mentioned wall charge formed in [all] the discharge cell eliminate immediately after that by impressing blanking pulse EPs to the line electrodes X1-X_n of PDP10 all at once (R2). That is, although shown in drawing 24, according to activation of the **** simultaneous reset stroke Rc, all the discharge cells in PDP10 are once initialized by the condition of a "nonluminescent cell."

[0065] Next, the pixel data pulse which has an electrical potential difference corresponding to the logical level of the display drive pixel data bit DB supplied from the above-mentioned memory 5 is generated, and the address driver 6 impresses this to train electrode D1-m one by one for every one line, and goes by the pixel data write-in stroke Wc. That is, first, in the pixel data write-in stroke Wc of a subfield SF 12, the 1211 to 1 m part corresponding to the 1st line, i.e., DB, is extracted from among the above-mentioned display drive pixel data bit DB1211-nm(s), pixel data pulse group DP121 which consists of a pixel data pulse for m pieces corresponding to each logical level these [DB / 1211 to 1 m] is generated, and it is impressed by train electrode D1-m. Next, 1221 to 2 m DB which is a part corresponding to the 2nd line of these display drive pixel data bit DB1211-nm(s) is extracted, pixel data pulse group DP122 which consists of a pixel data pulse for m pieces corresponding to each logical level these [DB / 1221 to 2 m] is generated, and it is impressed by train electrode D1-m. Hereafter, similarly, within the pixel data write-in stroke Wc of a subfield SF 12, pixel data pulse group DP123 for every one line - DP12n are impressed to train electrode D1-m one by one, and it goes. Then, within the pixel data write-in stroke Wc of a subfield SF 11, first, the 1111 to 1 m part corresponding to the 1st line, i.e., DB, is extracted from among the above-mentioned display drive pixel data bit DB1111-nm(s), pixel data pulse group DP111 which consists of a pixel data pulse for m pieces corresponding to each logical level these [DB / 1111 to 1 m] is generated, and it is impressed by train electrode D1-m. Next, 1121 to 2 m DB which is a part corresponding to the 2nd line of these display drive pixel data bit DB1111-nm(s) is extracted, pixel data pulse group DP112 which consists of a pixel data pulse for m pieces corresponding to each logical level these [DB / 1121 to 2 m] is generated, and it is impressed by train electrode D1-m. Hereafter, similarly, within the pixel data write-in stroke Wc of a subfield SF 11, pixel data pulse group DP113 for every one line - DP11n are impressed to train electrode D1-m one by one, and it goes. Hereafter, in the pixel data write-in stroke Wc in subfield SF 10 - SF1 each, the address driver 6 assigns pixel data pulse group DP101-n-DP11-n of each generated based on display drive pixel data bit DB1011-nm-DB111-nm(s) of each to subfield SF 10 - SF1 each, impresses these to train electrode D1-m, and goes similarly. In addition, the address driver 6 generates the pixel data pulse of the high voltage, when the logical level of the display drive pixel data bit DB is "1", and when it is "0", it shall generate the pixel data pulse of a low battery (0 volt).

[0066] Furthermore, in the pixel data write-in stroke Wc, although shown in drawing 246, the scan pulse SP of **** negative polarity is generated, and the 2nd SASUTIN driver 8 carries out sequential impression of this to the line electrodes Y1-Y_n, and goes by the same timing as each impression timing of **** pixel data pulse group DP mentioned above. Under the present circumstances, discharge (selection write-in discharge) arises only in the discharge cell of the intersection of the "line" to which

the scan pulse SP was impressed, and the "train" to which the pixel data pulse of the high voltage was impressed, and wall charge is alternatively formed in that discharge cel. By this selection write-in discharge, the discharge cel initialized by the condition of a "nonluminescent cel" in the above-mentioned simultaneous reset stroke Rc changes to a "luminescence cel." In the discharge cel currently formed in the "train" to which the pixel data pulse of a low battery was impressed on the other hand, the above-mentioned selection write-in discharge does not occur, but the present condition is held. That is, in the discharge cel of a "nonluminescent cel", the discharge cel of a "luminescence cel" maintains the condition of a "luminescence cel" as it is with a "nonluminescent cel." Thus, the "luminescence cel" in which maintenance discharge occurs in the luminescence maintenance stroke Ic just behind that, and the "nonluminescent cel" in which maintenance discharge does not occur are set up according to the pixel data write-in stroke Wc for every subfield.

[0067] Next, in the luminescence maintenance stroke Ic of each subfield, 1st SASUTIN driver 7 and 2nd SASUTIN driver 8 each impresses the maintenance pulses IPX and IPY of straight polarity by turns, as shown in drawing 24 to the line electrodes X1-Xn, and Y1-Yn. Under the present circumstances, the counts of the maintenance pulse IP which should be impressed in the luminescence maintenance stroke Ic of each subfield differ according to the classification of the video signal chosen as an input video signal, as it is shown in drawing 25 or drawing 26.

[0068] And as shown in drawing 24, when a selection write-address method is adopted, the elimination stroke E is performed in the subfield SF 1 at the tail end. In this elimination stroke E, although the address driver 6 is shown in drawing 24, it generates blanking pulse EP of **** negative polarity, and impresses this to the line electrode Y1 - Yn(s) of each at coincidence. By coincidence impression of this blanking pulse EP, elimination discharge occurs in [all / in PDP10] a discharge cel, and the wall charge which remains in all discharge cels disappears. That is, all the discharge cels in PDP10 turn into a "nonluminescent cel" by this elimination discharge.

[0069] Here, in the pixel data write-in stroke Wc in each subfield shown in drawing 25 or drawing 26, in the luminescence maintenance stroke Ic carried out just behind that, only the count described all over drawing repeats maintenance discharge, and only the discharge cel set as the "luminescence cel" maintains the luminescence condition. under the present circumstances, although shown in drawing 27, it is decided with the **** display drive pixel data GD as any a discharge cel shall be set between a "luminescence cel" and a "nonluminescent cel" in the data [of each subfield] write-in stroke Wc. That is, 1st bit - the 12th bit of each of the display drive pixel data GD supports subfield SF 1 - SF12 each, the **** selection write-in discharge which was restricted and the logical level of the bit mentioned above in the pixel data write-in stroke Wc of the subfield corresponding to the bit digit when it was logical level "1" occurs, and a discharge cel is set as a "luminescence cel." On the other hand, since the **** selection write-in discharge mentioned above does not occur when the logical level of the bit is logical level "0", the present condition is maintained. That is, in the discharge cel of a "nonluminescent cel", the discharge cel of a "luminescence cel" maintains the condition of a "luminescence cel" as it is with a "nonluminescent cel." Under the present circumstances, the opportunity which can make a discharge cel change to a "nonluminescent cel" from the condition of a "luminescence cel" among subfields SF12-SF1 is only the reset stroke Rc in the top subfield SF 12. Therefore, in the pixel data write-in stroke Wc of any 1 of subfields SF12-SF1, selection write-in discharge occurs after termination of this reset stroke Rc, and the discharge cel which has once changed to the "luminescence cel" does not change to a "nonluminescent cel" again into this field. therefore, each discharge cel maintains the condition of a "nonluminescent cel" until selection write-in discharge occurs in the subfield shown in the black dot of drawing 27, and only the count described in drawing 25 or drawing 26 in the luminescence maintenance stroke Ic of each subfield after a black dot repeats maintenance discharge, and, according to the display drive pixel data GD shown in drawing 27, it maintains the electroluminescence condition.

[0070] When an input video signal is a TV signal and it is in brightness mode 1 by this, as shown in

drawing 27 , at the time of an odd number field (odd frame) display, it succeeds in the gradation drive which has the brightness expression for 13 gradation [0:2:4:10:18:29:46:6 8:96:131:174:225:255] Becoming, and succeeds in the gradation drive which has the brightness expression for 13 gradation [81:112:151:198:255 [0:1:3:7:13:23:37:56:]] Becoming at the time of an even number field (even frames) display.

[0071] On the other hand, when an input video signal is a PC video signal, as shown in drawing 27 , at the time of an odd number field (odd frame) display, it succeeds in the gradation drive which has the brightness expression for 13 gradation [84:117:157:205:255 [0:1:3:7:14:25:39:59:]] Becoming, and succeeds in the gradation drive which has the brightness expression for 13 gradation [81:112:151:198:255 [0:1:3:7:13:23:37:56:]] Becoming at the time of an even number field (even frames) display.

[0072] Under the present circumstances, the brightness expression by this gradation drive is the same as that of the case where the **** selection elimination address method mentioned above as a pixel data write-in approach is adopted. Therefore, as well as the case where the describing [above] selection elimination address method is adopted when a selection write-address method is adopted, according to the classification of a video signal by which input assignment was carried out, increase of the suitable number of false gradation is achieved.

[0073] Moreover, in the above-mentioned example, in the pixel data write-in stroke Wc of any 1 of the subfields SF1-SF12, although he is trying to make selection elimination (store) discharge occur by coincidence impression with the scan pulse SP and the pixel data pulse of the high voltage If there are few amounts of the charged particle which remains in a discharge cel, this selection elimination (store) discharge does not occur normally, and may not be able to eliminate wall charge in a discharge cel normally (formation). Under the present circumstances, even if the pixel data D after metaphor A/D conversion are data in which low brightness is shown, it will succeed in luminescence corresponding to the highest brightness, and the problem of reducing image quality remarkably arises.

[0074] Then, the translation table used in the 2nd data-conversion circuit 34 is changed into what is shown in drawing 28 and drawing 29 from what is shown in above-mentioned drawing 14 and drawing 27 , and a gradation drive is carried out. In addition, drawing 28 is the translation table used in the 2nd data-conversion circuit 34, and drawing showing the luminescence drive pattern carried out by the list within 1 field period, when the selection elimination address method is adopted, and drawing 29 is drawing showing the above-mentioned translation table and luminescence drive pattern in the case where a selection write-address method is adopted. Here, it is shown that any of "*" "logical level" 1" or "0" which are shown in these drawing 28 and drawing 29 are sufficient, and the trigonum mark shows that restrict when it is "*" "logical level" 1" starting, and selection elimination (store) discharge occurs.

[0075] According to the display drive pixel data GD shown in these drawing 28 and drawing 29 , "selection elimination (store) discharge" of two batches is carried out continuously at least. Since there is a possibility that the store of pixel data may go wrong, by first-time selection elimination (store) discharge in short, it is at least one of the subfields which exist after it, and again, by performing selection elimination (store) discharge, the store of pixel data was ensured and the mistaken luminescence actuation has been prevented.

[0076]

[Effect of the Invention] In the drive approach of the plasma display panel according to this invention as explained in full detail above The 1st drive pattern with which the ratio of the count of luminescence carried out in the luminescence maintenance strokes in each in 1 field (one frame) period switches the mutually different 1st and the mutually different 2nd shot photic-driving sequence by turns to every 1 field (one frame), and performs them according to the classification of an input video signal, And it is made to perform one side alternatively from from among the 2nd drive patterns with which the ratio of the count of luminescence carried out in the above-mentioned luminescence maintenance strokes in each switches the mutually different 3rd and the mutually different 4th shot photic-driving sequence by

turns to every 1 field (one frame), and performs them.

[0077] Under the present circumstances, when the classification of an input video signal is TV signal, the gradation brightness point acquired by the above-mentioned 1st shot photic-driving sequence and the gradation brightness point acquired in false by many gradation-ized processing of error diffusion, dithering, etc. at the time of activation of the above-mentioned 2nd shot photic-driving sequence are made into the same intensity level by performing the above-mentioned 1st drive pattern alternatively. On the other hand, when the classification of an input video signal is PC video signal, the gradation brightness point acquired by the above-mentioned 3rd shot photic-driving sequence and the gradation brightness point acquired in false by many gradation-ized processing of the above-mentioned error diffusion, dithering, etc. at the time of activation of the above-mentioned 4th shot photic-driving sequence are made into a mutually different intensity level by performing the above-mentioned 2nd drive pattern alternatively.

[0078] Therefore, when carrying out the display based on the video signal with comparatively bad S/N like TV signal, although generating of a flicker and generating of the noise by the dither are controlled, the false increment in the number of gradation by many gradation-ized processing of error diffusion, dithering, etc. can be aimed at. On the other hand, when S/N carries out the display based on the good video signal like PC video signal comparatively, the number of gradation obtained in false by many gradation-ized processing of the above-mentioned error diffusion, dithering, etc. can be made to increase to a twice as many abbreviation as this.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the luminescence drive sequence for carrying out the halftone display of 64 gradation.

[Drawing 2] It is drawing showing the outline configuration of the plasma display equipment which drives a plasma display panel according to the drive approach by this invention.

[Drawing 3] It is drawing showing the internal configuration of the data-conversion circuit 30.

[Drawing 4] It is drawing showing the internal configuration of the ABL circuit 31.

[Drawing 5] It is drawing showing the transfer characteristic in the data-conversion circuit 312.

[Drawing 6] It is drawing showing the internal configuration of the 1st data-conversion circuit 32.

[Drawing 7] When input assignment of the TV signal is carried out, it is drawing showing the data-conversion property of being used in the 1st data-conversion circuit 32.

[Drawing 8] When input assignment of the PC video signal is carried out, it is drawing showing the data-conversion property of being used in the 1st data-conversion circuit 32.

[Drawing 9] It is drawing showing the internal configuration of the many gradation-ized processing circuit

33.

[Drawing 10] It is drawing for explaining actuation of the error diffusion-process circuit 330.

[Drawing 11] It is drawing showing the internal configuration of the dithering circuit 350.

[Drawing 12] dither multiplier a-d for every classification of an input video signal — it is drawing showing each value.

[Drawing 13] It is drawing for explaining actuation of the dithering circuit 350.

[Drawing 14] It is drawing showing the luminescence drive pattern and display brightness by the translation table of the 2nd data-conversion circuit 34, and the display drive pixel data GD obtained with this translation table.

[Drawing 15] When the selection elimination address method is adopted, it is drawing showing the impression timing of the various driving pulses impressed to PDP10 within 1 field display period.

[Drawing 16] each brightness mode when input assignment of the TV signal is carried out, and subfields SF1-SF12 — it is drawing showing correspondence relation with the count of impression of the maintenance pulse IP in each luminescence maintenance stroke Ic.

[Drawing 17] brightness mode when input assignment of the PC video signal is carried out, and subfields SF1-SF12 — it is drawing showing correspondence relation with the count of impression of the maintenance pulse IP in each luminescence maintenance stroke Ic.

[Drawing 18] It is drawing showing an example of the luminescence drive sequence carried out when input assignment of the TV signal is carried out.

[Drawing 19] It is drawing showing an example of the luminescence drive sequence carried out when input assignment of the PC video signal is carried out.

[Drawing 20] It is drawing showing the display brightness property over an input video signal when input assignment of the TV signal is carried out.

[Drawing 21] It is drawing showing the physical relationship of each gradation brightness point acquired by the luminescence drive sequence shown in the field E1 in drawing 20 at drawing 18 $R > 8$, and each gradation brightness point acquired by error diffusion process and dithering.

[Drawing 22] It is drawing showing the display brightness property over an input video signal when input assignment of the PC video signal is carried out.

[Drawing 23] It is drawing showing the physical relationship of each gradation brightness point acquired by the luminescence drive sequence shown in the field E2 in drawing 22 at drawing 19 $R > 9$, and each gradation brightness point acquired by error diffusion process and dithering.

[Drawing 24] When a selection write-address method is adopted, it is drawing showing the impression timing of the various driving pulses impressed to PDP10 within 1 field display period.

[Drawing 25] It is drawing showing the luminescence drive sequence (a selection write-address method is adopted) carried out when the video signal by which input assignment was carried out is a TV signal.

[Drawing 26] It is drawing showing the luminescence drive sequence (a selection write-address method is adopted) carried out when the video signal by which input assignment was carried out is a PC video signal.

[Drawing 27] It is drawing showing the luminescence drive pattern according to the translation table of the 2nd data-conversion circuit 34 used when a selection write-address method is adopted, and the display drive pixel data GD obtained with this translation table, and display brightness.

[Drawing 28] It is drawing showing the luminescence drive pattern according to other examples of the translation table of the 2nd data-conversion circuit 34 used when the selection elimination address method is adopted, and the display drive pixel data GD obtained with this translation table, and display brightness.

[Drawing 29] It is drawing showing the luminescence drive pattern according to other examples of the translation table of the 2nd data-conversion circuit 34 used when a selection write-address method is adopted, and the display drive pixel data GD obtained with this translation table, and display brightness.

[Description of Notations in the Main Part]

1 Operating Set
2 Drive Control Circuit
3 Input Selector
6 Address Driver
7 1st SASUTIN Driver
8 2nd SASUTIN Driver
10 PDP
30 Data-Conversion Circuit
31 ABL Circuit 31
32 1st Data-Conversion Circuit
33 Many Gradation-ized Processing Circuit
34 2nd Data-Conversion Circuit
330 Error Diffusion-Process Circuit
350 Dithering Circuit

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-56665
(P2001-56665A)

(43) 公開日 平成13年2月27日 (2001.2.27)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
G 0 9 G 3/28		G 0 9 G 3/28	K 5 C 0 5 8
3/20	6 4 1	3/20	6 4 1 E 5 C 0 8 0
			6 4 1 H
			6 4 1 Q
	6 4 2		6 4 2 D
審査請求 未請求 請求項の数23 O L (全 25 頁) 最終頁に続く			

(21) 出願番号 特願平11-234716

(22) 出願日 平成11年8月20日 (1999.8.20)

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 鈴木 雅博

山梨県中巨摩郡田富町西花輪2680番地 バ

イオニア株式会社内

(72) 発明者 三枝 信彦

山梨県中巨摩郡田富町西花輪2680番地 バ

イオニア株式会社内

(74) 代理人 100079119

弁理士 藤村 元彦

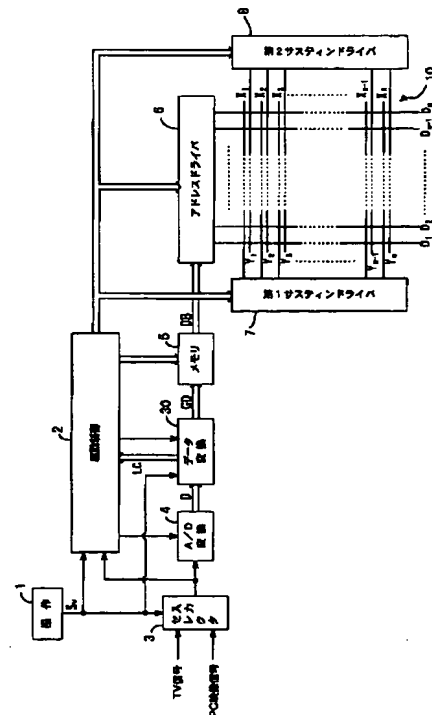
最終頁に続く

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

(57) 【要約】

【課題】 表示品質を向上させつつも階調表現力を向上させることができるプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【解決手段】 入力映像信号の種別に応じて、1フィールド(1フレーム)期間中の発光維持行程各々で実施する発光回数の比が互いに異なる第1及び第2発光駆動シーケンスを1フィールド(1フレーム)毎に交互に切り換えて実行する第1駆動パターン、及び上記発光維持行程各々で実施する発光回数の比が互いに異なる第3及び第4発光駆動シーケンスを1フィールド(1フレーム)毎に交互に切り換えて実行する第2駆動パターンを択一的に実行する。



(2)

1

【特許請求の範囲】

【請求項1】 走査ライン毎に配列された複数の行電極と前記行電極に交叉して配列された複数の列電極との各交点にて1画素に対応した放電セルを形成しているプラズマディスプレイパネルの駆動方法であって、単位表示期間をN個の分割表示期間に分割し、前記分割表示期間の各々において、入力映像信号に多階調化処理を施して得たNビットの表示駆動画素データに応じて前記放電セルの各々を非発光セル又は発光セルの一方に設定する画素データ書込行程と、前記発光セルのみを前記分割表示期間各々の重み付けに対応した発光回数だけ発光させる発光維持行程とを実行する発光駆動シーケンスを有し、

前記発光駆動シーケンスは、前記N個の前記分割表示期間各々の前記維持発光行程での前記発光回数の比が互いに異なる第1及び第2発光駆動シーケンス各々を前記単位表示期間毎に交互に切り換えて実行する第1駆動パターンと、前記N個の前記分割表示期間各々の前記維持発光行程での前記発光回数の比が互いに異なる第3及び第4発光駆動シーケンス各々を前記単位表示期間毎に交互に切り換えて実行する第2駆動パターンとからなり、前記入力映像信号の種別に応じて前記第1駆動パターン及び前記第2駆動パターンを択一的に実行することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】 前記入力映像信号はパーソナルコンピュータからの映像信号又はテレビジョン信号であることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項3】 前記単位表示期間とは前記入力映像信号の1フィールド又は1フレーム表示期間であることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項4】 前記第1発光駆動シーケンスの実行によって得られる各階調輝度点の輝度レベルと、前記第2発光駆動シーケンスの実行時に前記多階調化処理によって得られる各階調輝度点での輝度レベルとを一致させ、前記第3発光駆動シーケンスの実行によって得られる各階調輝度点の輝度レベルと、前記第4発光駆動シーケンスの実行時に前記多階調化処理によって得られる各階調輝度点での輝度レベルとを互いに異ならせることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項5】 走査ライン毎に配列された複数の行電極と前記行電極に交叉して配列された複数の列電極との各交点にて1画素に対応した放電セルを形成しているプラズマディスプレイパネルの駆動方法であって、単位表示期間をN個の分割表示期間に分割し、前記分割表示期間の各々において、入力映像信号に多階調化処理を施して得たNビットの表示駆動画素データに応じて前記放電セルの各々を非発光セル又は発光セルの一方に設

2

定する画素データ書込行程と、前記発光セルのみを前記分割表示期間各々の重み付けに対応した発光回数だけ発光させる発光維持行程とを実行する発光駆動シーケンスを有し、

前記発光駆動シーケンスは、前記N個の前記分割表示期間各々の前記維持発光行程での前記発光回数の比が互いに異なる第1及び第2発光駆動シーケンスからなり、前記第1発光駆動シーケンスの実行によって得られる各階調輝度点の輝度レベルと、前記第2発光駆動シーケンスの実行時に前記多階調化処理によって得られる各階調輝度点での輝度レベルとを一致させることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項6】 前記入力映像信号はテレビジョン信号であることを特徴とする請求項5記載のプラズマディスプレイパネルの駆動方法。

【請求項7】 前記単位表示期間とは前記入力映像信号の1フィールド又は1フレーム表示期間であることを特徴とする請求項5記載のプラズマディスプレイパネルの駆動方法。

【請求項8】 走査ライン毎に配列された複数の行電極と前記行電極に交叉して配列された複数の列電極との各交点にて1画素に対応した放電セルを形成しているプラズマディスプレイパネルの駆動方法であって、単位表示期間をN個の分割表示期間に分割し、前記分割表示期間の各々において、入力映像信号に多階調化処理を施して得たNビットの表示駆動画素データに応じて前記放電セルの各々を非発光セル又は発光セルの一方に設定する画素データ書込行程と、前記発光セルのみを前記分割表示期間各々の重み付けに対応した発光回数だけ発光させる発光維持行程とを実行する発光駆動シーケンスを有し、

前記発光駆動シーケンスは、前記N個の前記分割表示期間各々の前記維持発光行程での前記発光回数の比が互いに異なる第1及び第2発光駆動シーケンスからなり、前記第1発光駆動シーケンスの実行によって得られる各階調輝度点の輝度レベルと、前記第2発光駆動シーケンスの実行時に前記多階調化処理によって得られる各階調輝度点での輝度レベルとを互いに異ならせることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項9】 前記入力映像信号はパーソナルコンピュータからの映像信号であることを特徴とする請求項8記載のプラズマディスプレイパネルの駆動方法。

【請求項10】 前記単位表示期間とは前記入力映像信号の1フィールド又は1フレーム表示期間であることを特徴とする請求項8記載のプラズマディスプレイパネルの駆動方法。

【請求項11】 前記分割表示期間各々の前記発光維持行程での前記発光回数の比を非線形に設定することにより、前記入力映像信号の非線形表示特性を補正することを特徴とする請求項1記載のプラズマディスプレイパネ

(3)

3

ルの駆動方法。

【請求項12】 前記非線形表示特性は、ガンマ特性であることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項13】 前記入力映像信号の前記非線形表示特性を補正する前に前記多階調化処理を実行することを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項14】 前記多階調化処理は誤差拡散処理及び／又はディザ処理からなり、前記ディザ処理でのディザ係数を前記単位表示期間毎に変更することを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項15】 前記多階調化処理を施す前に前記入力映像信号に対応した画素データを前記多階調化処理に必要な上位ビット群と下位ビット群とのビット境界で分離することを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項16】 前記単位表示期間における先頭部の前記分割表示期間においてのみで全ての前記放電セルを発光セル又は非発光セルのいずれか一方の状態に初期化するリセット行程を実行し、

前記分割表示期間の内のいずれか1の前記画素データ書込行程においてのみで前記放電セルを前記表示駆動画素データに応じて非発光セル又は発光セルの一方に設定することを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項17】 前記単位表示期間における先頭部の前記分割表示期間においてのみで全ての前記放電セルを発光セル又は非発光セルのいずれか一方の状態に初期化するリセット行程を実行し、

前記分割表示期間の内のいずれか1の前記画素データ書込行程において前記放電セルを前記表示駆動画素データに応じて前記非発光セル又は前記発光セルの一方に設定する放電を生起させる第1の画素データパルスを前記列電極に印加し、その直後に存在する前記分割表示期間での前記画素データ書込行程において前記第1の画素データパルスと同一の第2の画素データパルスを前記列電極に印加することを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項18】 前記単位表示期間における最後尾の前記分割表示期間においてのみで全ての前記放電セルを非発光セルの状態にする消去行程を設けたことを特徴とする請求項16又は17記載のプラズマディスプレイパネルの駆動方法。

【請求項19】 前記リセット行程では全ての前記放電セルを前記発光セルの状態に初期化し、

前記画素データ書込行程では前記表示駆動画素データに応じて前記放電セルを選択的に消去放電せしめることにより前記放電セルを前記非発光セルに設定することを特

4

徴とする請求項1、16、17のいずれか1に記載のプラズマディスプレイパネルの駆動方法。

【請求項20】 前記リセット行程では全ての前記放電セルを前記非発光セルの状態に初期化し、

前記画素データ書込行程では前記表示駆動画素データに応じて前記放電セルを選択的に書込放電せしめることにより前記放電セルを前記発光セルに設定することを特徴とする請求項1、16、17のいずれか1に記載のプラズマディスプレイパネルの駆動方法。

10 【請求項21】 前記単位表示期間の先頭から連続したn個（nは0～N）の前記分割表示期間各々での前記発光維持行程においてのみで前記発光セルを発光せしめることによりN+1階調駆動を行うことを特徴とする請求項1又は19に記載のプラズマディスプレイパネルの駆動方法。

【請求項22】 前記単位表示期間の最後尾から連続したn個（nは0～N）の前記分割表示期間各々での前記発光維持行程においてのみで前記発光セルを発光せしめることによりN+1階調駆動を行うことを特徴とする請求項1又は20記載のプラズマディスプレイパネルの駆動方法。

【請求項23】 前記単位表示期間内に配列された前記分割表示期間各々の内、低輝度発光を担う分割表示期間の数が高輝度発光を担う分割表示期間の数よりも多いことを特徴とする請求項21又は22記載のプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

30 【発明が属する技術分野】本発明は、マトリクス表示方式のプラズマディスプレイパネル（以下、PDPと称する）の駆動方法に関する。

【0002】

40 【従来の技術】かかるマトリクス表示方式のPDPの一つとしてAC（交流放電）型のPDPが知られている。AC型のPDPは、複数の列電極（アドレス電極）と、これら列電極と直交して配列されておりかつ一対にて1走査ラインを形成する複数の行電極対とを備えている。これら各行電極対及び列電極は、放電空間に対して誘電体層で被覆されており、行電極対と列電極との交点にて1画素に対応した放電セルが形成される構造となっている。

【0003】この際、PDPは放電現象を利用している為、上記放電セルは、「発光」及び「非発光」の2つの状態しかもたない。そこで、かかるPDPにより中間調の輝度表示を実現させる為にサブフィールド法を用いる。サブフィールド法では、1フィールドの表示期間をN個のサブフィールドに分割し、各サブフィールド毎に、画素データ（Nビット）の各ビット桁の重み付けに対応した期間長を有する発光期間を夫々割り当てて発光駆動を行う。

50

(4)

5

【0004】例えば、図1に示されるように1フィールド期間を6個のサブフィールドSF1～SF6に分割した場合には、

SF1:1

SF2:2

SF3:4

SF4:8

SF5:16

SF6:32

なる発光期間比にて発光駆動を実施する。

【0005】ここで、放電セルを輝度 $3/2$ で発光させる場合には、図1に示されるが如く、サブフィールドSF1～SF6の内のSF6のみで発光を実施させる。

又、輝度 $3/1$ で発光させる場合には、サブフィールドSF6を除く他のサブフィールドSF1～SF5において発光を実施させるのである。これにより、6段階での中間調の輝度表現が可能となる。

【0006】図1のシーケンスから明らかなように階調数を増加するためにはサブフィールド数を増やせばよい。しかしながら、1つのサブフィールド内では、発光セルを選択するための画素データ書込み行程が必要となるため、サブフィールド数の増加に伴い、1フィールド内において実施すべき画素データ書込み行程の回数も増える。これにより、1フィールド期間内で発光期間（発光維持行程の長さ）に割り当てられる時間が相対的に短くなり、輝度の低下を招いてしまう。

【0007】従って、PDPによる映像表示を実現するためには、映像信号自体に何らかの多階調化処理を行う必要がある。多階調化の手法としては、例えば誤差拡散処理が知られている。誤差拡散処理は、ある画素（放電セル）に対応した画素データと所定閾値との誤差を周辺画素に対応した画素データに加算することで、擬似的に階調数を増やす方法である。

【0008】しかしながら、元の階調数が少ないと誤差拡散のパターンが目立つようになり、S/Nが劣化するという問題があった。

【0009】

【発明が解決しようとする課題】本発明は、上記の問題を解決するためになされたものであり、表示品質を向上させつつも階調表現力を向上させることができるプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明によるプラズマディスプレイパネルの駆動方法は、走査ライン毎に配列された複数の行電極と前記行電極に交叉して配列された複数の列電極との各交点にて1画素に対応した放電セルを形成しているプラズマディスプレイパネルの駆動方法であって、単位表示期間をN個の分割表示期間に分割し、前記分割表示期間の各々において、入力映像信号に多階

6

調化処理を施して得たNビットの表示駆動画素データに応じて前記放電セルの各々を非発光セル又は発光セルの一方に設定する画素データ書込行程と、前記発光セルのみを前記分割表示期間各々の重み付けに対応した発光回数だけ発光させる発光維持行程とを実行する発光駆動シーケンスを有し、前記発光駆動シーケンスは、前記N個の前記分割表示期間各々の前記維持発光行程での前記発光回数の比が互いに異なる第1及び第2発光駆動シーケンス各々を前記単位表示期間毎に交互に切り換えて実行する第1駆動パターンと、前記N個の前記分割表示期間各々の前記維持発光行程での前記発光回数の比が互いに異なる第3及び第4発光駆動シーケンス各々を前記単位表示期間毎に交互に切り換えて実行する第2駆動パターンとからなり、前記入力映像信号の種別に応じて前記第1駆動パターン及び前記第2駆動パターンを択一的に実行する。

【0011】

【発明の実施の形態】以下、本発明の実施例を図を参照しつつ説明する。図2は、本発明による駆動方法に基づいてプラズマディスプレイパネルを発光駆動するプラズマディスプレイ装置の概略構成を示す図である。かかるプラズマディスプレイ装置は、操作装置1、駆動制御回路2、入力セレクト3、A/D変換器4、データ変換回路30、メモリ5、アドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8からなる駆動部と、プラズマディスプレイパネルとしてのPDP10と、から構成される。

【0012】尚、このプラズマディスプレイ装置は、NTSC方式の如きテレビジョン信号の他に、パーソナルコンピュータからの映像信号であるPC映像信号にも対応したものであり、これら方式の異なる映像信号各々を入力する為の専用の入力端子（図示せぬ）を個別に備えている。図2において、操作装置1は、使用者によって入力指定された映像信号に対応した入力映像指定信号 S_V を生成し、これを駆動制御回路2、入力セレクト3及びデータ変換回路30の各々に供給する。例えば、操作装置1は、使用者がその表示対象とすべき映像信号として上記PC映像信号を指定した場合には論理レベル 0^* 、カラーテレビジョン信号（以下、TV信号と称する）を指定した場合には論理レベル 1^* の入力映像指定信号 S_V を生成する。

【0013】入力セレクト3は、上記入力端子を介して供給されたPC映像信号、及びTV信号各々の内から、上記入力映像指定信号 S_V に応じた方を択一的に選択し、これを入力映像信号としてA/D変換器4に供給する。尚、PC映像信号、及びTV信号の各々は予めガンマ補正処理が施されたものである。A/D変換器4は、上記入力セレクト3から供給された入力映像信号を駆動制御回路2から供給されたクロック信号に応じてサンプリングしてこれを各画素毎の例えば8ビットの画素デー

(5)

7

タDに変換する。すなわち、A/D変換器4は、入力セクタ3から供給されたアナログの入力映像信号を、256階調にて輝度を表現し得る8ビットの画素データに変換するのである。

【0014】データ変換回路30は、かかる8ビットの画素データDに対して、輝度調整、多階調化処理各々を施して得たデータを、PDP10の各画素を実際に発光駆動させる為の表示駆動画素データGDに変換してメモリ5に供給する。図3は、かかるデータ変換回路30の内部構成を示す図である。図3に示されるように、データ変換回路30は、ABL(自動輝度制御)回路31、第1データ変換回路32、多階調化処理回路33及び第2データ変換回路34で構成される。

【0015】ABL回路31は、PDP10の画面上に表示される画像の平均輝度が適切な輝度範囲内に収まるように、A/D変換器4から順次供給されてくる各画素毎の画素データDに対して輝度レベルの調整を行い、この際得られた輝度調整画素データD_{BL}を第1データ変換回路32に供給する。図4は、かかるABL回路31の内部構成を示す図である。

【0016】図4において、レベル調整回路310は、後述する平均輝度検出回路311にて求められた平均輝度に応じて画素データDのレベルを調整して得られた輝度調整画素データD_{BL}を出力する。データ変換回路312は、かかる輝度調整画素データD_{BL}を図5に示されるが如き非線形特性からなる逆ガンマ特性($Y=X^{2.2}$)に変換したものを逆ガンマ変換画素データD_rとして平均輝度レベル検出回路311に供給する。すなわち、輝度調整画素データD_{BL}に逆ガンマ補正処理を施すことにより、ガンマ補正の解除された元の映像信号に対応した画素データ(逆ガンマ変換画素データD_r)を復元するのである。平均輝度検出回路311は、先ず、かかる逆ガンマ変換画素データD_rの平均輝度を求める。ここで、平均輝度検出回路311は、かかる平均輝度が、最高輝度～最低輝度なる範囲を4段階に分類した輝度モード1～4の内のいずれに該当するのかを判別し、この該当する輝度モードを示す輝度モード信号LCを駆動制御回路2に供給しつつ、上述した如く求めた平均輝度を上記レベル調整回路310に供給する。つまり、レベル調整回路310は、かかる平均輝度に応じて画素データDのレベルを調整したものを上記輝度調整画素データD_{BL}として上記データ変換回路312、及び次段の第1データ変換回路32に供給するのである。

【0017】図6は、かかる第1データ変換回路32の内部構成を示す図である。図6において、データ変換回路321は、上記輝度調整画素データD_{BL}を図7(A)に示されるが如き変換特性に基づいて'0'～'192'までの8ビットの変換画素データA₁に変換してこれをセクタ322に供給する。データ変換回路323は、上記輝度調整画素データD_{BL}を図7(B)に示されるが如き変

8

換特性に基づいて'0'～'192'までの8ビットの変換画素データB₁に変換してこれをセクタ322に供給する。セクタ322は、これら変換画素データA₁及びB₁の内から、変換特性選択信号の論理レベルに応じた方を択一的に選択し、これをセクタ324に供給する。尚、上記変換特性選択信号は、上記駆動制御回路2から供給されるもので、入力映像信号の垂直同期タイミングに応じて論理レベル'1'から'0'、又は'0'から'1'へと推移する信号である。データ変換回路325

10 は、上記輝度調整画素データD_{BL}を図8(A)に示されるが如き変換特性に基づいて'0'～'384'までの9ビットの変換画素データA₂に変換してこれをセクタ326に供給する。データ変換回路327は、上記輝度調整画素データD_{BL}を図8(B)に示されるが如き変換特性に基づいて'0'～'384'までの9ビットの変換画素データB₂に変換してこれをセクタ326に供給する。セクタ326は、これら変換画素データA₂及びB₂の内から、上記変換特性選択信号の論理レベルに応じた方を択一的に選択し、これをセクタ324に供給する。セクタ324は、セクタ322から供給された変換画素データA₁(又はB₁)、及びセクタ326から供給された変換画素データA₂(又はB₂)の内から、入力映像指定信号S_Vの論理レベルに応じた方を択一的に選択し、これを第1変換画素データD_Hとして次段の多階調化処理回路33に供給する。

【0018】図6に示される構成により、第1データ変換回路32は、操作装置1においてTV信号が入力指定された場合には、図7に示される変換特性に基づいて、'0'～'255'なる8ビットの輝度調整画素データD_{BL}を'0'～'192'なる8ビットの第1変換画素データD_Hに変換して多階調化処理回路33に供給する。一方、PC映像信号が入力指定された場合には、図8に示される変換特性に基づいて、'0'～'255'なる8ビットの輝度調整画素データD_{BL}を'0'～'384'なる9ビットの第1変換画素データD_Hに変換して多階調化処理回路33に供給するのである。尚、図7(A)及び図8(A)は奇数フィールド(奇数フレーム)の表示、図7(B)及び図8(B)は偶数フィールド(偶数フレーム)の表示時に用いられる変換特性である。すなわち、第1データ変換回路32は、TV信号が入力指定された場合には、その変換時に用いる変換特性を各フィールド(フレーム)毎に図7(A)及び図7(B)の如く切り換え、PC映像信号が入力指定された場合には、各フィールド毎に図8(A)及び図8(B)の如くその変換特性を切り換えるのである。

【0019】このように、後述する多階調化処理回路33の前段に第1データ変換回路32を設けて、表示階調数、多階調化による圧縮ビット数に合わせたデータ変換を施すことにより、多階調化処理による輝度飽和及び表示階調がビット境界にない場合に生じる表示特性の平坦

(6)

9

部の発生（すなわち、階調歪みの発生）を防止する。図9は、多階調化処理回路33の内部構成を示す図である。

【0020】図9に示されるが如く、多階調化処理回路33は、誤差拡散処理回路330及びディザ処理回路350から構成される。まず、誤差拡散処理回路330におけるデータ分離回路331は、上記第1データ変換回路32から供給された8又は9ビットの第1変換画素データ D_H 中の上位6ビット分を表示データ、下位2又は3ビット分を誤差データとして夫々分離する。加算器332は、かかる誤差データとしての第1変換画素データ D_H 中の下位2又は3ビット分と、遅延回路334からの遅延出力と、係数乗算器335の乗算出力とを加算して得た加算値を遅延回路336に供給する。遅延回路336は、加算器332から供給された加算値を、画素データのクロック周期と同一の時間を有する遅延時間 D だけ遅らせ、これを遅延加算信号 AD_1 として上記係数乗算器335及び遅延回路337に夫々供給する。係数乗算器335は、上記遅延加算信号 AD_1 に所定係数値 K_1 （例えば、 $7/16$ ）を乗算して得られた乗算結果を上記加算器332に供給する。遅延回路337は、上記遅延加算信号 AD_1 を更に（1水平走査期間－上記遅延時間 $D \times 4$ ）なる時間だけ遅延させたものを遅延加算信号 AD_2 として遅延回路338に供給する。遅延回路338は、かかる遅延加算信号 AD_2 を更に上記遅延時間 D だけ遅延させたものを遅延加算信号 AD_3 として係数乗算器339に供給する。又、遅延回路338は、かかる遅延加算信号 AD_2 を更に上記遅延時間 $D \times 2$ なる時間分だけ遅延させたものを遅延加算信号 AD_4 として係数乗算器340に供給する。更に、遅延回路338は、かかる遅延加算信号 AD_2 を上記遅延時間 $D \times 3$ なる時間分だけ *

画素 $G(j, k-1)$ に対応した誤差データ：遅延加算信号 AD_1

画素 $G(j-1, k+1)$ に対応した誤差データ：遅延加算信号 AD_3

画素 $G(j-1, k)$ に対応した誤差データ：遅延加算信号 AD_4

画素 $G(j-1, k-1)$ に対応した誤差データ：遅延加算信号 AD_5

各々に対して、上述した如き所定の係数値 $K_1 \sim K_4$ をもって重み付け加算を実施する。次に、この加算結果に、第1変換画素データ D_H 中の下位2又は3ビット分、すなわち画素 $G(j, k)$ に対応した誤差データを加算し、この際得られた1ビット分のキャリアウト信号 C_0 を第1変換画素データ D_H 中の上位6ビット分、すなわち画素 $G(j, k)$ に対応した表示データに加算したものを誤差拡散処理画素データ ED とする。

【0022】すなわち、誤差拡散処理回路330は、第1変換画素データ D_H 中の上位6ビット分を表示データ、残りの下位ビットを誤差データとして捉え、周辺画素 $\{G(j, k-1), G(j-1, k+1), G(j-1, k), G(j-1, k-1)\}$ 各々での誤差データを重み付け加算したものを、上記表示データに反映させるようにしている。かかる動作により、原画素 $\{G(j, k)\}$ における下位ビットに対応

10

遅延させたものを遅延加算信号 AD_5 として係数乗算器341に供給する。係数乗算器339は、上記遅延加算信号 AD_3 に所定係数値 K_2 （例えば、 $3/16$ ）を乗算して得られた乗算結果を加算器342に供給する。係数乗算器340は、上記遅延加算信号 AD_4 に所定係数値 K_3 （例えば、 $5/16$ ）を乗算して得られた乗算結果を加算器342に供給する。係数乗算器341は、上記遅延加算信号 AD_5 に所定係数値 K_4 （例えば、 $1/16$ ）を乗算して得られた乗算結果を加算器342に供給する。加算器342は、上記係数乗算器339、340及び341各々から供給された乗算結果を加算して得られた加算信号を上記遅延回路334に供給する。遅延回路334は、かかる加算信号を上記遅延時間 D なる時間分だけ遅延させて上記加算器332に供給する。加算器332は、上記誤差データ（第1変換画素データ D_H 中の下位2又は3ビット）と、遅延回路334からの遅延出力と、係数乗算器335の乗算出力とを加算し、この際、桁上げがない場合には論理レベル 0^ 、桁上げがある場合には論理レベル 1^* のキャリアウト信号 C_0 を発生して加算器333に供給する。加算器333は、上記表示データ（第1変換画素データ D_H 中の上位6ビット分）に、上記キャリアウト信号 C_0 を加算したものを6ビットの誤差拡散処理画素データ ED として出力する。

【0021】以下に、かかる構成からなる誤差拡散処理回路330の動作について説明する。例えば、図10に示されるが如きPDP10の画素 $G(j, k)$ に対応した誤差拡散処理画素データ ED を求める場合、まず、かかる画素 $G(j, k)$ の左横の画素 $G(j, k-1)$ 、左斜め上の画素 $G(j-1, k-1)$ 、真上の画素 $G(j-1, k)$ 、及び右斜め上の画素 $G(j-1, k+1)$ 各々に対応した各誤差データ、すなわち、

した輝度成分が上記周辺画素によって擬似的に表現され、それ故に8ビットよりも少ないビット数、すなわち6ビット分の表示データにて、上記8ビット分の画素データと同等の輝度階調表現が可能になるのである。

【0023】尚、この誤差拡散の係数値が各画素に対して一定に加算されていると、誤差拡散パターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、後述するディザ係数の場合と同様に4つの画素各々に割り当てるべき誤差拡散の係数 $K_1 \sim K_4$ を1フィールド（フレーム）毎に変更するようにしても良い。

【0024】ディザ処理回路350は、かかる誤差拡散処理回路330から供給された誤差拡散処理画素データ ED にディザ処理を施すことにより、6ビットの誤差拡散処理画素データ ED と同等な輝度階調レベルを維持し

(7)

11

つつもビット数を更に4ビットに減らした多階調化処理画素データD_Sを生成する。尚、かかるディザ処理では、隣接する複数個の画素により1つの中間表示レベルを表現するものである。例えば、8ビットの画素データの内の上位6ビットの画素データを用いて8ビット相当の階調表示を行う場合、左右、上下に互いに隣接する4つの画素を1組とし、この1組の各画素に対応した画素データ各々に、互いに異なる係数値からなる4つのディザ係数a~dを夫々割り当てて加算する。かかるディザ処理によれば、4画素で4つの異なる中間表示レベルの組み合わせが発生することになる。よって、例えば画素データのビット数が6ビットであっても、表現出来る輝度階調レベルは4倍、すなわち、8ビット相当の中間調表示が可能となるのである。

【0025】しかしながら、ディザ係数a~dなるディザパターンが各画素に対して一定に加算されていると、このディザパターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、ディザ処理回路350においては、4つの画素各々に割り当てべき上記ディザ係数a~dを1フィールド毎に変更するようにしている。

【0026】図11は、かかるディザ処理回路350の内部構成を示す図である。図11において、ディザ係数発生回路352は、互いに隣接する4つの画素毎に4つのディザ係数a、b、c、dを発生してこれらを順次加算器351に供給する。尚、ディザ係数発生回路352は、上記入力映像指定信号S_Vによって示される入力指定映像信号に応じて、発生すべきディザ係数a~dの値を異ならせている。

【0027】すなわち、入力映像指定信号S_Vにて入力指定された映像信号がTV信号である場合には、図12に示されるが如く、

ディザ係数a : 0

ディザ係数b : 1

ディザ係数c : 2

ディザ係数d : 3

なる各々2ビットからなるディザ係数a~dを発生する一方、入力指定された映像信号がPC映像信号である場合には、図12に示されるが如く、

ディザ係数a : 0 (又は1)

ディザ係数b : 2 (又は3)

ディザ係数c : 4 (又は5)

ディザ係数d : 6 (又は7)

なる各々3ビットからなるディザ係数a~dを発生する。

【0028】これらディザ係数a~d各々は、例えば、図13に示されるように、第j行に対応した画素G(j, k)及び画素G(j, k+1)、第(j+1)行に対応した画素G(j+1, k)及び画素G(j+1, k+1)なる互いに隣接した4つの画素各々に割り当てられる。ディザ係数発生回路352

12

は、これら4つの画素各々に割り当てべき上記ディザ係数a~dを図13に示されるように1フィールド毎に変更して行く。

【0029】すなわち、ディザ係数発生回路352は、最初の第1フィールドにおいては、

画素G(j, k) : ディザ係数a

画素G(j, k+1) : ディザ係数b

画素G(j+1, k) : ディザ係数c

画素G(j+1, k+1) : ディザ係数d

次の第2フィールドにおいては、

画素G(j, k) : ディザ係数b

画素G(j, k+1) : ディザ係数a

画素G(j+1, k) : ディザ係数d

画素G(j+1, k+1) : ディザ係数c

次の第3フィールドにおいては、

画素G(j, k) : ディザ係数d

画素G(j, k+1) : ディザ係数c

画素G(j+1, k) : ディザ係数b

画素G(j+1, k+1) : ディザ係数a

そして、第4フィールドにおいては、

画素G(j, k) : ディザ係数c

画素G(j, k+1) : ディザ係数d

画素G(j+1, k) : ディザ係数a

画素G(j+1, k+1) : ディザ係数b

の如き割り当てにてディザ係数a~dを循環して繰り返し発生し、これを加算器351に供給する。ディザ係数発生回路352は、上述した如き第1フィールド~第4フィールドの動作を繰り返し実行する。すなわち、かかる第4フィールドでのディザ係数発生動作が終了したら、再び、上記第1フィールドの動作に戻って、前述した動作を繰り返すのである。加算器351は、上記誤差拡散処理回路330から供給されてくる上記画素G(j, k)、画素G(j, k+1)、画素G(j+1, k)、及び画素G(j+1, k+1)各々に対応した誤差拡散処理画素データED各々に、上述の如く各フィールド毎に割り当てられたディザ係数a~dを夫々加算し、この際得られたディザ加算画素データを上位ビット抽出回路353に供給する。

【0030】例えば、図17に示される第1フィールドにおいては、画素G(j, k)に対応した誤差拡散処理画素データED+ディザ係数a、画素G(j, k+1)に対応した誤差拡散処理画素データED+ディザ係数b、画素G(j+1, k)に対応した誤差拡散処理画素データED+ディザ係数c、画素G(j+1, k+1)に対応した誤差拡散処理画素データED+ディザ係数dの各々をディザ加算画素データとして上位ビット抽出回路353に順次供給して行くのである。上位ビット抽出回路353は、かかるディザ加算画素データの上位4ビット分までを抽出し、これを多階調化画素データD_Sとして出力する。

【0031】以上の如く、図9に示されるディザ処理回路350は、4つの画素各々に割り当てべき上記ディ

(8)

13

ザ係数 $a \sim d$ を1フィールド毎に変更して行くことにより、ディザパターンによる視覚的ノイズを低減させつつも視覚的に多階調化した4ビットの多階調化画素データ D_S を求め、これを第2データ変換回路34に供給するのである。

【0032】第2データ変換回路34は、かかる4ビットの多階調化画素データ D_S を図14に示されるが如き変換テーブルに従って第1～第12ビットからなる表示駆動画素データ GD に変換する。尚、これら第1～第12ビットの各々は、後述するサブフィールド $SF1 \sim SF12$ 各々に対応したものである。以上の如く、ABL回路31、第1データ変換回路32、多階調化処理回路33及び第2データ変換回路34からなるデータ変換回路30によれば、8ビットで256階調を表現し得る画*

DB1_{11-nm}: 表示駆動画素データ GD_{11-nm} の第1ビット目
 DB2_{11-nm}: 表示駆動画素データ GD_{11-nm} の第2ビット目
 DB3_{11-nm}: 表示駆動画素データ GD_{11-nm} の第3ビット目
 DB4_{11-nm}: 表示駆動画素データ GD_{11-nm} の第4ビット目
 DB5_{11-nm}: 表示駆動画素データ GD_{11-nm} の第5ビット目
 DB6_{11-nm}: 表示駆動画素データ GD_{11-nm} の第6ビット目
 DB7_{11-nm}: 表示駆動画素データ GD_{11-nm} の第7ビット目
 DB8_{11-nm}: 表示駆動画素データ GD_{11-nm} の第8ビット目
 DB9_{11-nm}: 表示駆動画素データ GD_{11-nm} の第9ビット目
 DB10_{11-nm}: 表示駆動画素データ GD_{11-nm} の第10ビット目
 DB11_{11-nm}: 表示駆動画素データ GD_{11-nm} の第11ビット目
 DB12_{11-nm}: 表示駆動画素データ GD_{11-nm} の第12ビット目

の如く12分割した表示駆動画素データビット $DB1_{11-nm} \sim DB12_{11-nm}$ として捉え、これら $DB1_{11-nm}$ 、 $DB2_{11-nm}$ 、 \dots 、 $DB12_{11-nm}$ 各々を、駆動制御回路2から供給された読出信号に従って1行分毎に順次読み出してアドレスドライバ6に供給するのである。

【0034】駆動制御回路2は、上記入力映像信号中の水平及び垂直同期信号に同期して、上記A/D変換器4に対するクロック信号、及びメモリ5に対する書込・読出信号を発生する。更に、駆動制御回路2は、かかる水平及び垂直同期信号に同期して、アドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々を駆動制御すべき各種タイミング信号を発生する。

【0035】アドレスドライバ6は、駆動制御回路2から供給されたタイミング信号に応じて、かかるメモリ5から読み出された1行分の表示駆動画素データビット DB 各々の論理レベルに対応した電圧を有する m 個の画素データパルスが発生し、これらを $PDP10$ の列電極 $D1 \sim D_m$ に夫々印加する。 $PDP10$ は、アドレス電極としての上記列電極 $D1 \sim D_m$ と、これら列電極と直交して配列されている行電極 $X1 \sim X_n$ 及び行電極 $Y1 \sim Y_n$ を備えている。 $PDP10$ では、これら行電極 X 及び行電極 Y の一対にて1行分に対応した行電極を形成している。

14

* 素データ D は、図14に示されるが如き、全部で13パターンからなる12ビットの表示駆動画素データ GD に変換されるのである。

【0033】図2のメモリ5は、駆動制御回路2から供給されてくる書込信号に従って上記表示駆動画素データ GD を順次書き込んで記憶する。かかる書込動作により、1画面 (n 行、 m 列) 分の表示駆動画素データ GD_{11-nm} の書き込みが終了すると、メモリ5は、駆動制御回路2から供給されてくる読出信号に応じて、表示駆動画素データ GD_{11-nm} を同一ビット桁同士にて1行分毎に順次読み出し、アドレスドライバ6に供給する。すなわち、メモリ5は、各々が12ビットからなる1画面分の駆動表示駆動画素データ GD_{11-nm} を各ビット桁毎に、

すなわち、 $PDP10$ における第1行目の行電極対は行電極 X_1 及び Y_1 であり、第 n 行目の行電極対は行電極 X_n 及び Y_n である。上記行電極対及び列電極は放電空間に対して誘電体層で被覆されており、各行電極対と列電極との交点にて画素に対応した放電セルが形成される構造となっている。

【0036】第1サスティンドライバ7及び第2サスティンドライバ8各々は、駆動制御回路2から供給されたタイミング信号に応じて、以下に説明するが如き各種駆動パルスが発生し、これらを $PDP10$ の行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に印加する。図15は、上記アドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々が $PDP10$ の列電極 $D1 \sim D_m$ 、行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に印加する各種駆動パルスの印加タイミングの一例を示す図である。

【0037】尚、図15に示される一例においては、1フィールドの表示期間を12個のサブフィールド $SF1 \sim SF12$ に分割して $PDP10$ に対する階調駆動を行うものである。この際、各サブフィールド内では、 $PDP10$ の各放電セルに対して画素データの書き込みを行って「発光セル」及び「非発光セル」の設定を行う画素データ書込行程 Wc と、上記「発光セル」のみを各サブフィールドの重み付けに対応した期間 (回数) だけ発光維持させる発光維持行程 Ic とを実施する。ただし、先頭のサブ

(9)

15

フィールドSF1においてのみで、PDP10の全放電セルを初期化せしめる一斉リセット行程Rcを実行し、最後尾のサブフィールドSF12のみで消去行程Eを実行する。

【0038】先ず、上記一斉リセット行程Rcでは、第1サスティンドライバ7及び第2サスティンドライバ8各々が、PDP10の行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ 各々に対して図15に示されるが如きリセットパルス RP_X 及び RP_Y を同時に印加する。これらリセットパルス RP_X 及び RP_Y の印加に応じて、PDP10中の全ての放電セルが一斉に放電して、各放電セル内には一様に所定の壁電荷が形成される。これにより、全放電セルは一旦、上記「発光セル」に設定される。

【0039】次に、画素データ書込行程Wcでは、アドレスドライバ6が、上記メモリ5から供給された表示駆動画素データビットDBの論理レベルに対応した電圧を有する画素データパルスを生成し、これを1行分毎に順次列電極 D_{1-m} に印加して行く。すなわち、先ず、サブフィールドSF1の画素データ書込行程Wcでは、上記表示駆動画素データビットDB1 $_{11-nm}$ の内から第1行目に対応した分、つまりDB1 $_{11-1m}$ を抽出し、これらDB1 $_{11-1m}$ 各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP1 $_1$ を生成して列電極 D_{1-m} に印加する。次に、かかる表示駆動画素データビットDB1 $_{11-nm}$ の内の第2行目に対応した分であるDB1 $_{21-2m}$ を抽出し、これらDB1 $_{21-2m}$ 各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP1 $_2$ を生成して列電極 D_{1-m} に印加する。以下、同様にして、サブフィールドSF1の画素データ書込行程Wc内では、1行分毎の画素データパルス群DP1 $_3 \sim DP1_n$ を順次列電極 D_{1-m} に印加して行く。引き続き、サブフィールドSF2の画素データ書込行程Wc内では、先ず、上記表示駆動画素データビットDB2 $_{11-nm}$ の内から第1行目に対応した分、つまりDB2 $_{11-1m}$ を抽出し、これらDB2 $_{11-1m}$ 各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP2 $_1$ を生成して列電極 D_{1-m} に印加する。次に、かかる表示駆動画素データビットDB2 $_{11-nm}$ の内の第2行目に対応した分であるDB2 $_{21-2m}$ を抽出し、これらDB2 $_{21-2m}$ 各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP2 $_2$ を生成して列電極 D_{1-m} に印加する。以下、同様にして、サブフィールドSF2の画素データ書込行程Wc内では、1行分毎の画素データパルス群DP2 $_3 \sim DP2_n$ を順次列電極 D_{1-m} に印加して行く。以下、サブフィールドSF3～SF12各々での画素データ書込行程Wcにおいても同様に、アドレスドライバ6は、表示駆動画素データビットDB3 $_{11-nm} \sim DB12_{11-nm}$ 各々に基づいて生成した画素データパルス群DP3 $_1 \sim DP12_{1-n}$ 各々をサブフィールドSF3～SF

16

12各々に割り当て、これらを列電極 D_{1-m} に印加して行くのである。尚、アドレスドライバ6は、表示駆動画素データビットDBの論理レベルが「1」である場合には高電圧の画素データパルスを生成し、「0」である場合には低電圧(0ボルト)の画素データパルスを生成するものとする。

【0040】更に、画素データ書込行程Wcでは、第2サスティンドライバ8が、上述した如き画素データパルス群DPの各印加タイミングと同一タイミングにて、図15に示されるが如き負極性の走査パルスSPを発生し、これを行電極 $Y_1 \sim Y_n$ へと順次印加して行く。この際、走査パルスSPが印加された「行」と、高電圧の画素データパルスが印加された「列」との交差部の放電セルにのみ放電(選択消去放電)が生じ、その放電セル内に残存していた壁電荷が選択的に消去される。すなわち、表示駆動画素データGDにおける第1ビット～第12ビット各々が、サブフィールドSF1～SF12各々での画素データ書込行程Wcにおいて選択消去放電を生起させるか否かを決定しているのである。かかる選択消去放電により、上記一斉リセット行程Rcにて「発光セル」の状態に初期化された放電セルは、「非発光セル」に移す。一方、低電圧の画素データパルスが印加された「列」に形成されている放電セルには放電が生起されず、現状が保持される。つまり、「非発光セル」の放電セルは「非発光セル」のまま、「発光セル」の放電セルは「発光セル」の状態をそのまま維持するのである。このように、各サブフィールド毎の画素データ書込行程Wcにより、その直後の発光維持行程Icにて維持放電が生起される「発光セル」と、維持放電が生起されない「非発光セル」とが設定される。

【0041】次に、各サブフィールドの発光維持行程Icでは、第1サスティンドライバ7及び第2サスティンドライバ8各々が、行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に対して図15に示されるように交互に正極性の維持パルス IP_X 及び IP_Y を印加する。ここで、発光維持行程Icにおいて印加される維持パルスIPの回数は、各サブフィールド毎にその重み付けに応じて設定されており、更に、図2に示されるデータ変換回路30から供給された輝度モード信号LC、及び上記入力セクタ3において入力映像信号として選択された映像信号の種別に応じて異なる。

【0042】図16は、入力映像信号としてTV信号が選択された場合にサブフィールドSF1～SF12各々の発光維持行程Icにおいて印加する維持パルスIPの回数を示す図である。尚、図16(A)は奇数フィールド(奇数フレーム)の表示時、図16(B)は偶数フィールド(偶数フレーム)の表示時において印加する維持パルスIPの回数を、輝度モード信号LCに応じた各モード毎に夫々示すものである。

【0043】一方、図17は、入力映像信号としてPC

(10)

17

映像信号が選択された場合にサブフィールドSF1～SF12各々の発光維持行程Icにおいて印加すべき維持パルスIPの回数を示す図である。尚、図17(A)は奇数フィールド(奇数フレーム)の表示時、図17(B)は偶数フィールド(偶数フレーム)の表示時において印加する維持パルスIPの回数を、輝度モード信号LCに応じた各モード毎に夫々示すものである。

【0044】例えば、駆動制御回路2は、入力映像信号としてTV信号を指定する入力映像指定信号Sy、及び輝度モード1を示す輝度モード信号LCの各々が供給された場合には、図18に示されるが如き発光駆動シーケンスに従った動作を実施させるべき各種タイミング信号をアドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々に供給する。

【0045】尚、図18(A)は奇数フィールド(奇数フレーム)の表示、図18(B)は偶数フィールド(偶数フレーム)の表示時において実施する発光駆動シーケンスを夫々示している。つまり、入力指定された映像信号がTV信号であり、かつ輝度モード1である場合、各サブフィールドSF1～SF12各々の発光維持行程Icで印加する維持パルスIPの回数比は、奇数フィールド(奇数フレーム)の表示時には、図18(A)に示されるが如く、

SF1:2
SF2:2
SF3:6
SF4:8
SF5:11
SF6:17
SF7:22
SF8:28
SF9:35
SF10:43
SF11:51
SF12:30

となり、偶数フィールド(偶数フレーム)の表示時には、図18(B)に示されるが如く、

SF1:1
SF2:2
SF3:4
SF4:6
SF5:10
SF6:14
SF7:19
SF8:25
SF9:31
SF10:39
SF11:47
SF12:57

となる。

18

【0046】一方、入力映像信号としてPC映像信号を指定する入力映像指定信号Sy、及び輝度モード1を示す輝度モード信号LCの各々が供給された場合、駆動制御回路2は、図19に示されるが如き発光駆動シーケンスに従った動作を実施させるべき各種タイミング信号をアドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々に供給する。

【0047】尚、図19(A)は奇数フィールド(奇数フレーム)の表示、図19(B)は偶数フィールド(偶数フレーム)の表示時において実施する発光駆動シーケンスを夫々示している。つまり、入力映像信号がPC映像信号であり、かつ輝度モード1である場合、各サブフィールドSF1～SF12各々の発光維持行程Icで印加する維持パルスIPの回数比は、奇数フィールド(奇数フレーム)の表示時には、図19(A)に示されるが如く、

SF1:1
SF2:2
SF3:4
SF4:7
SF5:11
SF6:14
SF7:20
SF8:25
SF9:33
SF10:40
SF11:48
SF12:50

となり、偶数フィールド(偶数フレーム)の表示時には、図19(B)に示されるが如く、

SF1:1
SF2:2
SF3:4
SF4:6
SF5:10
SF6:14
SF7:19
SF8:25
SF9:31
SF10:39
SF11:47
SF12:57

となる。

【0048】この際、上記サブフィールドSF1～SF12各々で印加される維持パルスIPの回数比は、非線形(すなわち、逆ガンマ比率、 $Y=X^{2.2}$)であり、これにより入力映像信号に予め施されている非線形特性

(ガンマ特性)を補正するようにしている。尚、上記サブフィールドSF1～SF12各々の内、低輝度発光を担うサブフィールドの数を、高輝度発光を担うサブフィールドの数よりも多くしてある。つまり、維持パルスI

(11)

19

Pの印加回数が25回以下となる比較的低輝度発光を担うサブフィールドの数はSF1～SF8までの8個であり、高輝度発光を担うサブフィールドSF9～SF12の個数よりも多い。

【0049】そして、最後尾のサブフィールドSF12のみで消去行程Eを実行する。かかる消去行程Eにおいては、アドレスドライバ6が、図15に示されるが如き正極性の消去パルスAPを発生してこれを列電極D₁～D_nに印加する。更に、第2サスティンドライバ8は、かかる消去パルスAPの印加タイミングと同時に図15に示されるが如き負極性の消去パルスEPを発生してこれを行電極Y₁～Y_n各々に印加する。これら消去パルスAP及びEPの同時印加により、PDP10における全放電セル内において消去放電が生起され、全ての放電セル内に残存している壁電荷が消滅する。すなわち、かかる消去放電により、PDP10における全ての放電セルが「非発光セル」になるのである。

【0050】ここで、図18又は図19に示される各サブフィールド内において、画素データ書込行程Wcで「発光セル」に設定された放電セルのみが、その直後に実施される発光維持行程Icにおいて、上述した如き回数比に従った回数だけ維持放電を繰り返してその発光状態を維持する。この際、各放電セルが各サブフィールド毎に、「発光セル」、「非発光セル」のいずれに設定されるのかは、図14に示されるが如き表示駆動画素データGDによって決まる。すなわち、表示駆動画素データGDの第1ビット～第12ビット各々はサブフィールドSF1～SF12各々に対応しており、そのビットの論理レベルが例えば論理レベル「1」である場合に限り、そのビット桁に対応したサブフィールドの画素データ書込行程Wcにおいて選択消去放電が生起され、放電セルは「非発光セル」に設定される。一方、そのビットの論理レベルが論理レベル「0」である場合には、上記選択消去放電は生起されないで、現状を維持する。つまり、「非発光セル」の放電セルは「非発光セル」のまま、「発光セル」の放電セルは「発光セル」の状態をそのまま維持するのである。この際、サブフィールドSF1～SF12の中で、放電セルを「非発光セル」の状態から「発光セル」に推移させることが出来る機会は、先頭のサブフィールドSF1でのリセット行程Rcのみである。よって、このリセット行程Rcの終了後、サブフィールドSF1～SF12のいずれか1の画素データ書込行程Wcにおいて選択消去放電が生起されて、一旦「非発光セル」に推移してしまった放電セルは、このフィールド内において再び「発光セル」に推移することはない。従って、図14に示されるが如き表示駆動画素データGDのデータパターンによれば、各放電セルは図14の黒丸に示されるサブフィールドにて選択消去放電が生起されるまでの間だけ「発光セル」となり、その間に存在する白丸にて示されるサブフィールド各々の発光維持行程Icにて上述した如き回

20

数だけ維持放電を行う。

【0051】これにより、入力映像信号がTV信号であり、かつ輝度モード1である場合には、図14に示されるように、奇数フィールド(奇数フレーム)表示時には、{0:2:4:10:18:29:46:68:96:131:174:225:255}なる13階調分の輝度表現を有する階調駆動が為され、偶数フィールド(偶数フレーム)表示時には、{0:1:3:7:13:23:37:56:81:112:151:198:255}なる13階調分の輝度表現を有する階調駆動が為される。

【0052】図20は、入力映像信号がTV信号である場合に、この入力映像信号と、かかる入力映像信号に応じて実際にPDP10上に表示される画像の表示輝度との対応関係を示す図である。図20において、「□」は、図18(A)に示されるが如き発光駆動シーケンスに従った階調駆動によって得られる階調輝度点、「◇」は、図18(B)に示されるが如き発光駆動シーケンスに従った階調駆動によって得られる階調輝度点を夫々示している。

【0053】図20に示されるように、入力映像信号がTV信号である場合には、図18(A)及び図18(B)に示されるが如き発光駆動シーケンスを1フィールド(1フレーム)毎に交互に切り換えて実施する。かかる駆動によれば、一方の発光駆動シーケンスで得られる2つの階調輝度点の中間に、他方の発光駆動シーケンスで得られる階調輝度点が付加されることになる。

【0054】尚、図20において、互いに隣接する階調輝度点、すなわち、「□」と「◇」との間の輝度は、上述した如き誤差拡散処理、及びディザ処理等の多階調化処理によって得られる。図21は、図20中における領域E1内において、図18(A)に示される発光駆動シーケンスで得られる階調輝度点(「□」)と、図18(B)に示される発光駆動シーケンスで得られる階調輝度点(「◇」)と、誤差拡散処理で得られる階調輝度点(「●」)と、ディザ処理で得られる階調輝度点(「■」)との位置関係を示す図である。

【0055】この際、図21に示されるように、上記ディザ処理によって擬似的に得られる階調輝度点の各々の一部(「■」)は、図18(A)及び図18(B)に示される発光駆動シーケンスの実施によって得られる階調輝度点(「□」)と同一輝度レベルになっている。従って、TV信号の如き比較的S/Nの悪い入力映像信号に対しては、時間方向の積分効果によりフリッカを抑え、かつディザノイズを軽減しつつ上記誤差拡散処理及びディザ処理による擬似的な階調数増加が図られるのである。

【0056】一方、入力映像信号が、比較的S/Nの良いPC映像信号である場合には、図14に示されるように、奇数フィールド(奇数フレーム)表示時には、{0:1:3:7:14:25:39:59:84:117:157:205:255}なる13階調分の輝度表現を有する階調駆動が為され、偶数フィールド(偶数フレーム)表示時には、{0:1:

(12)

21

3:7:13:23:37:56:81:112:151:198:255} なる13階調分の輝度表現を有する階調駆動が為される。

【0057】図22は、入力映像信号が上記PC映像信号である場合に、この入力映像信号と、かかる入力映像信号に応じてPDP10上に表示される画像の表示輝度との対応関係を示す図である。図22において、'□'は、図19(A)に示されるが如き発光駆動シーケンスに従った階調駆動によって得られる階調輝度点、'◇'は、図19(B)に示されるが如き発光駆動シーケンスに従った階調駆動によって得られる階調輝度点を夫々示している。

【0058】図22に示されるように、入力映像信号がPC映像信号である場合には、1フィールド(1フレーム)毎に図19(A)及び図19(B)に示されるが如き、互いに階調輝度点が僅かにずれている発光駆動シーケンスを交互に切り換えて実施する。かかる駆動によれば、一方の発光駆動シーケンスで得られる2つの階調輝度点の間で一方の階調輝度点に近い位置に、他方の発光駆動シーケンスで得られる階調輝度点が付加されることになる。

【0059】尚、図22において、'□'及び'◇'なる階調輝度点によって示される輝度以外の輝度は、上述した如き誤差拡散処理、ディザ処理等の多階調化処理によって得られる。図23は、図22中における領域E2内において、図19(A)に示される発光駆動シーケンスで得られる階調輝度点('□')と、図19(B)に示される発光駆動シーケンスで得られる階調輝度点('◇')と、誤差拡散処理で得られる階調輝度点('●')と、ディザ処理で得られる階調輝度点('■')との位置関係を示す図である。

【0060】このように、PC映像信号が入力指定された場合には、そのディザ処理時において、図12に示されるが如き3ビットのディザ係数 $a \sim d$ ($a=0, b=2, c=4, d=6$)が用いられる為、図23に示されるように、誤差拡散処理によって得られる階調輝度点各々による分布には粗密が生じる。よって、図23に示されるように、上記誤差拡散処理及びディザ処理によって擬似的に得られる階調輝度点の各々と、図19(A)及び図19(B)に示されるが如き発光駆動シーケンスの実施によって得られる階調輝度点の各々とは互いに異なる輝度レベルとなる。

【0061】従って、時間方向の積分効果により、視覚上における表示階調数は、図18に示される発光駆動シーケンス(すなわち、入力映像信号としてTV信号が指定された場合に用いられる発光駆動シーケンス)を採用した場合に比して略2倍に増加する。すなわち、PC映像信号の如き比較的S/Nの良い映像信号が入力指定された場合には、誤差拡散処理及びディザ処理によって得られる擬似的な階調輝度点を、図19(A)及び図19(B)に示されるが如き発光駆動シーケンスの実施によって得られる階調輝度点に対してずらすことにより、擬似的に表現される階調数を大幅に増加するのである。

22

【0062】尚、上記実施例においては、画素データの書込方法として、予め各放電セルに壁電荷を形成させて全放電セルを発光セルに設定しておき、それから画素データに応じて選択的にその壁電荷を消去することにより画素データの書込を為すという、いわゆる選択消去アドレス法を採用した場合について述べた。しかしながら、本発明は、画素データの書込方法として、画素データに応じて選択的に壁電荷を形成するようにした、いわゆる選択書込アドレス法を採用した場合についても同様に適用可能である。

【0063】図24は、この選択書込アドレス法を採用した場合に、上記アドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々がPDP10の列電極 $D_1 \sim D_m$ 、行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に印加する各種駆動パルスの印加タイミングの一例を示す図である。又、図25は、選択書込アドレス法を採用した場合に、入力映像信号としてTV信号が指定された時に実施される発光駆動シーケンスを示す図であり、図26は、PC映像信号が指定された時に実施される発光駆動シーケンスを示す図である。尚、図25(A)及び図26(A)各々は奇数フィールド(奇数フレーム)の表示、図25(B)及び図26(B)各々は偶数フィールド(偶数フレーム)の表示時において実施する発光駆動シーケンスを夫々示している。

【0064】更に、図27は、かかる選択書込アドレス法を採用した場合に、図6に示される第2データ変換回路34において用いられる変換テーブル、並びに1フィールド期間内で実施される発光駆動の全パターンを示す図である。ここで、上記図24に示されるように、選択書込アドレス法を採用した場合には、先ず、先頭のサブフィールドSF12での一斉リセット行程 R_c において、第1サスティンドライバ7及び第2サスティンドライバ8は、PDP10の行電極 X 及び Y に夫々リセットパルス RP_x 及び RP_y を同時に印加する。これにより、PDP10中の全ての放電セルをリセット放電せしめ、各放電セル内に強制的に壁電荷を形成させる(R_1)。その直後に、第1サスティンドライバ7は、消去パルス EP をPDP10の行電極 $X_1 \sim X_n$ に一斉に印加することにより、全放電セル内に形成された上記壁電荷を消去させる(R_2)。すなわち、図24に示されるが如き一斉リセット行程 R_c の実行によれば、PDP10における全ての放電セルは、一旦、'非発光セル'の状態に初期化されるのである。

【0065】次に、画素データ書込行程 W_c では、アドレスドライバ6が、上記メモリ5から供給された表示駆動画素データビットDBの論理レベルに対応した電圧を有する画素データパルスを生成し、これを1行分毎に順次列電極 $D_1 \sim D_m$ に印加して行く。すなわち、先ず、サブフィールドSF12の画素データ書込行程 W_c では、上記表示駆動画素データビットDB12 $11 \sim n_m$ の内から第

(13)

23

1行目に対応した分、つまりDB12_{11-1m}を抽出し、これらDB12_{11-1m}各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP12₁を生成して列電極D_{1-m}に印加する。次に、かかる表示駆動画素データビットDB12_{11-nm}の内の第2行目に対応した分であるDB12_{21-2m}を抽出し、これらDB12_{21-2m}各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP12₂を生成して列電極D_{1-m}に印加する。以下、同様にして、サブフィールドSF12の画素データ書込行程Wc内では、1行分毎の画素データパルス群DP12₃~DP12_nを順次列電極D_{1-m}に印加して行く。引き続き、サブフィールドSF11の画素データ書込行程Wc内では、先ず、上記表示駆動画素データビットDB11_{11-nm}の内から第1行目に対応した分、つまりDB11_{11-1m}を抽出し、これらDB11_{11-1m}各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP11₁を生成して列電極D_{1-m}に印加する。次に、かかる表示駆動画素データビットDB11_{11-nm}の内の第2行目に対応した分であるDB11_{21-2m}を抽出し、これらDB11_{21-2m}各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP11₂を生成して列電極D_{1-m}に印加する。以下、同様にして、サブフィールドSF11の画素データ書込行程Wc内では、1行分毎の画素データパルス群DP11₃~DP11_nを順次列電極D_{1-m}に印加して行く。以下、サブフィールドSF10~SF1各々での画素データ書込行程Wcにおいても同様に、アドレスドライバ6は、表示駆動画素データビットDB10_{11-nm}~DB11_{11-nm}各々に基づいて生成した画素データパルス群DP10_{1-n}~DP11_{1-n}各々をサブフィールドSF10~SF1各々に割り当て、これらを列電極D_{1-m}に印加して行くのである。尚、アドレスドライバ6は、表示駆動画素データビットDBの論理レベルが、'1'である場合には高電圧の画素データパルスを生成し、'0'である場合には低電圧(0ボルト)の画素データパルスを生成するものとする。

【0066】更に、画素データ書込行程Wcでは、第2サスティンドライバ8が、上述した如き画素データパルス群DPの各印加タイミングと同一タイミングにて、図246に示されるが如き負極性の走査パルスSPを発生し、これを行電極Y₁~Y_nへと順次印加して行く。この際、走査パルスSPが印加された'行'と、高電圧の画素データパルスが印加された'列'との交差部の放電セルにのみ放電(選択書込放電)が生じ、その放電セル内に選択的に壁電荷が形成される。かかる選択書込放電により、上記一斉リセット行程Rcにて'非発光セル'の状態に初期化された放電セルは、'発光セル'に推移する。一方、低電圧の画素データパルスが印加された'列'に形成されている放電セルには上記選択書込放電は生起され

24

ず、現状が保持される。つまり、'非発光セル'の放電セルは'非発光セル'のまま、'発光セル'の放電セルは'発光セル'の状態をそのまま維持するのである。このように、各サブフィールド毎の画素データ書込行程Wcにより、その直後の発光維持行程Icにて維持放電が生起される'発光セル'と、維持放電が生起されない'非発光セル'とが設定される。

【0067】次に、各サブフィールドの発光維持行程Icでは、第1サスティンドライバ7及び第2サスティンドライバ8各々が、行電極X₁~X_n及びY₁~Y_nに対して図24に示されるように交互に正極性の維持パルスIP_X及びIP_Yを印加する。この際、各サブフィールドの発光維持行程Icにおいて印加すべき維持パルスIPの回数は、図25又は図26に示されるが如く、入力映像信号として選択された映像信号の種別に応じて異なる。

【0068】そして、図24に示されるように、選択書込アドレス法を採用した場合には、最後尾のサブフィールドSF1のみで消去行程Eを実行する。かかる消去行程Eにおいては、アドレスドライバ6が、図24に示されるが如き負極性の消去パルスEPを発生してこれを行電極Y₁~Y_n各々に同時に印加する。かかる消去パルスEPの同時印加により、PDP10における全放電セル内において消去放電が生起され、全ての放電セル内に残存している壁電荷が消滅する。すなわち、かかる消去放電により、PDP10における全ての放電セルが'非発光セル'になるのである。

【0069】ここで、図25又は図26に示される各サブフィールド内の画素データ書込行程Wcにおいて、'発光セル'に設定された放電セルのみが、その直後に実施される発光維持行程Icにて、図中に記述されている回数だけ維持放電を繰り返し、その発光状態を維持する。この際、放電セルがサブフィールド各々のデータ書込行程Wcにおいて、'発光セル'、'非発光セル'のいずれに設定されるのかは、図27に示されるが如き表示駆動画素データGDによって決まる。すなわち、表示駆動画素データGDの第1ビット~第12ビット各々はサブフィールドSF1~SF12各々に対応しており、そのビットの論理レベルが例えば論理レベル'1'である場合に限りそのビット桁に対応したサブフィールドの画素データ書込行程Wcにおいて上述した如き選択書込放電が生起されて、放電セルは'発光セル'に設定される。一方、そのビットの論理レベルが論理レベル'0'である場合には、上述した如き選択書込放電は生起されないの、現状を維持する。つまり、'非発光セル'の放電セルは'非発光セル'のまま、'発光セル'の放電セルは'発光セル'の状態をそのまま維持するのである。この際、サブフィールドSF12~SF1の内で、放電セルを'発光セル'の状態から'非発光セル'に推移させることが出来る機会は、先頭のサブフィールドSF12でのリセット行程Rcのみである。よって、このリセット行程Rcの

(14)

25

終了後、サブフィールドSF12～SF1のいずれか1の画素データ書込行程Wcにおいて選択書込放電が生起されて、一旦「発光セル」に推移してしまった放電セルは、このフィールド内において再び「非発光セル」に推移することはない。従って、図27に示される表示駆動画素データGDによれば、各放電セルは図27の黒丸に示されるサブフィールドにおいて選択書込放電が生起されるまでの間は「非発光セル」の状態を維持し、黒丸以降のサブフィールド各々の発光維持行程Icにて、図25又は図26中に記述されている回数だけ維持放電を繰り返す、その放電発光状態を維持する。

【0070】これにより、入力映像信号がTV信号であり、かつ輝度モード1である場合には、図27に示されるように、奇数フィールド(奇数フレーム)表示時には、

{0:2:4:10:18:29:46:68:96:131:174:225:255}なる13階調分の輝度表現を有する階調駆動が為

され、偶数フィールド(偶数フレーム)表示時には、

{0:1:3:7:13:23:37:56:81:112:151:198:255}なる13階調分の輝度表現を有する階調駆動が為される。

【0071】一方、入力映像信号がPC映像信号である場合には、図27に示されるように、奇数フィールド(奇数フレーム)表示時には、{0:1:3:7:14:25:39:59:84:117:157:205:255}なる13階調分の輝度表現を有する階調駆動が為され、偶数フィールド(偶数フレーム)表示時には、{0:1:3:7:13:23:37:56:81:112:151:198:255}なる13階調分の輝度表現を有する階調駆動が為される。

【0072】この際、かかる階調駆動による輝度表現は、画素データ書き込み方法として前述した如き選択消去アドレス法を採用した場合と同一である。従って、選択書込アドレス法を採用した場合にも上記選択消去アドレス法を採用した場合と同様に、入力指定された映像信号の種別に応じて適切な疑似階調数の増大が図られるのである。

【0073】又、上記実施例においては、サブフィールドSF1～SF12の内のいずれか1の画素データ書込行程Wcにおいて、走査パルスSPと高電圧の画素データパルスとの同時印加により選択消去(書込)放電を生起させるようにしているが、放電セル内に残留する荷電粒子の量が少ないと、この選択消去(書込)放電が正常に生起されず、放電セル内の壁電荷を正常に消去(形成)できない場合がある。この際、例えばA/D変換後の画素データDが低輝度を示すデータであっても、最高輝度に対応した発光が為されてしまい、画像品質を著しく低下させるといった問題が生じる。

【0074】そこで、第2データ変換回路34において用いる変換テーブルを、上記図14及び図27に示されるものから図28及び図29に示されるものに変更して階調駆動を実施する。尚、図28は、選択消去アドレス

26

法を採用した場合に第2データ変換回路34で用いる変換テーブル、並びに1フィールド期間内で実施される発光駆動パターンを示す図であり、図29は、選択書込アドレス法を採用した場合での上記変換テーブル及び発光駆動パターンを示す図である。ここで、これら図28及び図29に示されている「*」は、論理レベル「1」又は「0」のいずれでも良いことを示し、三角印は、かかる「*」が論理レベル「1」である場合に限り選択消去(書込)放電が生起されることを示している。

【0075】これら図28及び図29に示される表示駆動画素データGDによれば、少なくとも連続して2回分の「選択消去(書込)放電」が実施される。要するに、初回の選択消去(書込)放電では画素データの書込を失敗する恐れがあるので、それ以降に存在するサブフィールドの内の少なくとも1つで、再度、選択消去(書込)放電を行うことにより、画素データの書込を確実にし、誤った発光動作を防止しているのである。

【0076】

【発明の効果】以上詳述した如く、本発明によるプラズマディスプレイパネルの駆動方法においては、入力映像信号の種別に応じて、1フィールド(1フレーム)期間中の発光維持行程各々で実施される発光回数の比が互いに異なる第1及び第2発光駆動シーケンスを1フィールド(1フレーム)毎に交互に切り換えて実行する第1駆動パターン、及び上記発光維持行程各々で実施される発光回数の比が互いに異なる第3及び第4発光駆動シーケンスを1フィールド(1フレーム)毎に交互に切り換えて実行する第2駆動パターンの内から一方を選択的に実行するようにしている。

【0077】この際、入力映像信号の種別がTV信号である場合には、上記第1駆動パターンを選択的に実行することにより、上記第1発光駆動シーケンスによって得られる階調輝度点と、上記第2発光駆動シーケンスの実行時に誤差拡散及びディザ処理等の多階調化処理によって擬似的に得られる階調輝度点とを同一輝度レベルにする。一方、入力映像信号の種別がPC映像信号である場合には、上記第2駆動パターンを選択的に実行することにより、上記第3発光駆動シーケンスによって得られる階調輝度点と、上記第4発光駆動シーケンスの実行時に上記誤差拡散及びディザ処理等の多階調化処理によって擬似的に得られる階調輝度点とを互いに異なる輝度レベルにしている。

【0078】よって、TV信号の如き比較的S/Nの悪い映像信号に基づく表示を実施する場合には、フリッカの発生及びディザによるノイズの発生を抑制しつつも誤差拡散及びディザ処理等の多階調化処理による擬似的な階調数増加が図れるようになる。一方、PC映像信号の如き比較的S/Nが良い映像信号に基づく表示を実施する場合には、上記誤差拡散及びディザ処理等の多階調化処理によって擬似的に得られる階調数を略2倍に増加さ

(15)

27

せることが出来る。

【図面の簡単な説明】

【図1】64階調の中間調表示を実施する為の発光駆動シーケンスを示す図である。

【図2】本発明による駆動方法に従ってプラズマディスプレイパネルを駆動するプラズマディスプレイ装置の概略構成を示す図である。

【図3】データ変換回路30の内部構成を示す図である。

【図4】ABL回路31の内部構成を示す図である。

【図5】データ変換回路312における変換特性を示す図である。

【図6】第1データ変換回路32の内部構成を示す図である。

【図7】TV信号が入力指定された場合に第1データ変換回路32において用いられるデータ変換特性を示す図である。

【図8】PC映像信号が入力指定された場合に第1データ変換回路32において用いられるデータ変換特性を示す図である。

【図9】多階調化処理回路33の内部構成を示す図である。

【図10】誤差拡散処理回路330の動作を説明する為の図である。

【図11】ディザ処理回路350の内部構成を示す図である。

【図12】入力映像信号の種別毎のディザ係数a～d各々の値を示す図である。

【図13】ディザ処理回路350の動作を説明する為の図である。

【図14】第2データ変換回路34の変換テーブル、及びこの変換テーブルによって得られた表示駆動画素データGDによる発光駆動パターンと表示輝度とを示す図である。

【図15】選択消去アドレス法を採用した際に、1フィールド表示期間内においてPDP10に印加される各種駆動パルスの印加タイミングを示す図である。

【図16】TV信号が入力指定された場合における、各輝度モードと、サブフィールドSF1～SF12各々の発光維持行程Icでの維持パルスIPの印加回数との対応関係を示す図である。

【図17】PC映像信号が入力指定された場合における、輝度モードと、サブフィールドSF1～SF12各々の発光維持行程Icでの維持パルスIPの印加回数との対応関係を示す図である。

【図18】TV信号が入力指定された場合に実施される発光駆動シーケンスの一例を示す図である。

【図19】PC映像信号が入力指定された場合に実施される発光駆動シーケンスの一例を示す図である。

【図20】TV信号が入力指定された場合における、入

28

力映像信号に対する表示輝度特性を示す図である。

【図21】図20中における領域E1内において、図18に示される発光駆動シーケンスで得られる各階調輝度点と、誤差拡散処理及びディザ処理で得られる各階調輝度点との位置関係を示す図である。

【図22】PC映像信号が入力指定された場合における、入力映像信号に対する表示輝度特性を示す図である。

【図23】図22中における領域E2内において、図19に示される発光駆動シーケンスで得られる各階調輝度点と、誤差拡散処理及びディザ処理で得られる各階調輝度点との位置関係を示す図である。

【図24】選択書込アドレス法を採用した際に、1フィールド表示期間内においてPDP10に印加される各種駆動パルスの印加タイミングを示す図である。

【図25】入力指定された映像信号がTV信号である場合に実施される発光駆動シーケンス(選択書込アドレス法を採用)を示す図である。

【図26】入力指定された映像信号がPC映像信号である場合に実施される発光駆動シーケンス(選択書込アドレス法を採用)を示す図である。

【図27】選択書込アドレス法を採用した場合に用いられる第2データ変換回路34の変換テーブル、及びこの変換テーブルによって得られた表示駆動画素データGDに応じた発光駆動パターンと表示輝度とを示す図である。

【図28】選択消去アドレス法を採用した場合に用いられる第2データ変換回路34の変換テーブルの他の一例、及びこの変換テーブルによって得られた表示駆動画素データGDに応じた発光駆動パターンと表示輝度とを示す図である。

【図29】選択書込アドレス法を採用した場合に用いられる第2データ変換回路34の変換テーブルの他の一例、及びこの変換テーブルによって得られた表示駆動画素データGDに応じた発光駆動パターンと表示輝度とを示す図である。

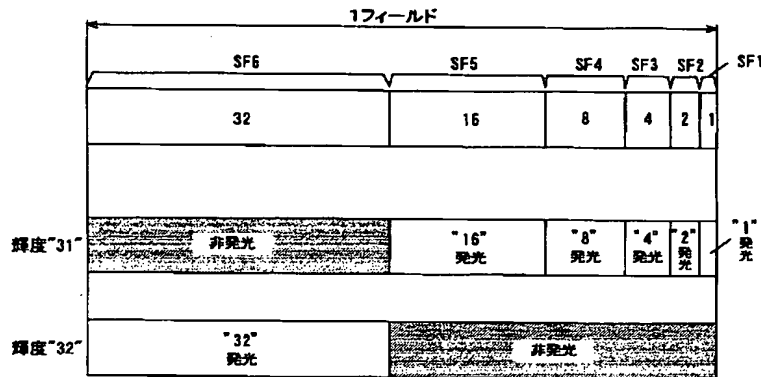
【主要部分の符号の説明】

- | | |
|-----|-------------|
| 1 | 操作装置 |
| 2 | 駆動制御回路 |
| 3 | 入力セクタ |
| 6 | アドレスドライバ |
| 7 | 第1サスティンドライバ |
| 8 | 第2サスティンドライバ |
| 10 | PDP |
| 30 | データ変換回路 |
| 31 | ABL回路31 |
| 32 | 第1データ変換回路 |
| 33 | 多階調化処理回路 |
| 34 | 第2データ変換回路 |
| 330 | 誤差拡散処理回路 |

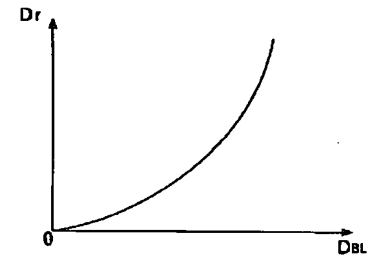
(16)

350 ディザ処理回路

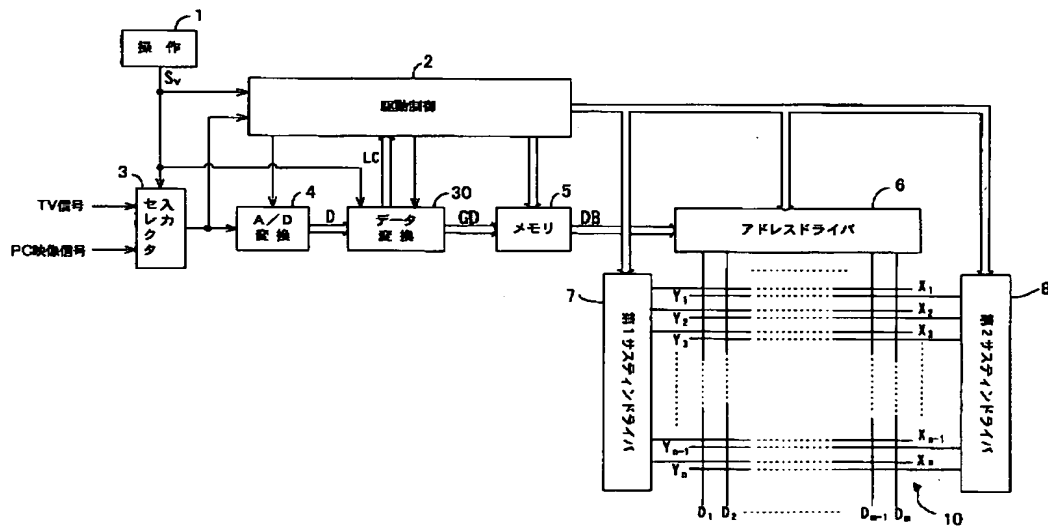
【図1】



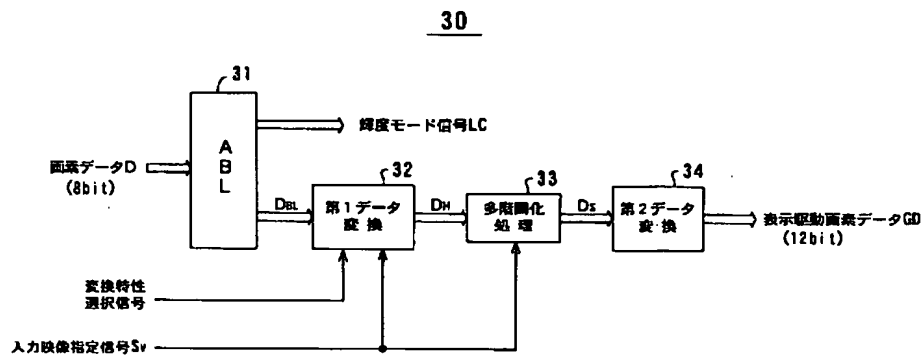
【図5】



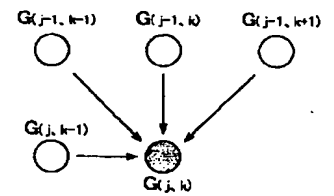
【図2】



【図3】

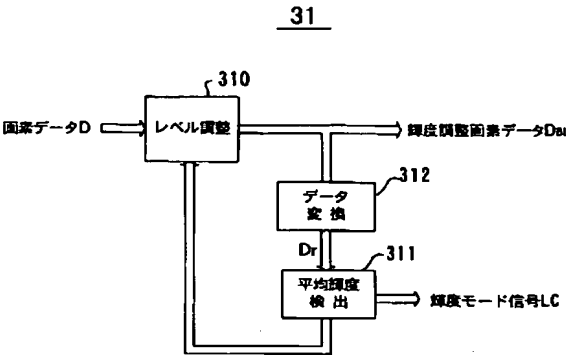


【図10】

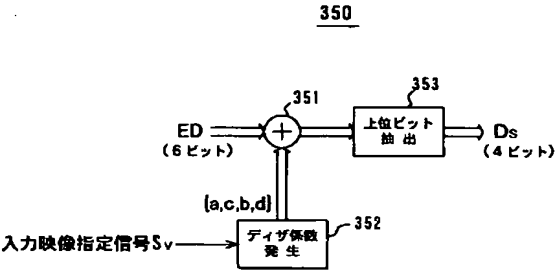


(17)

【図4】



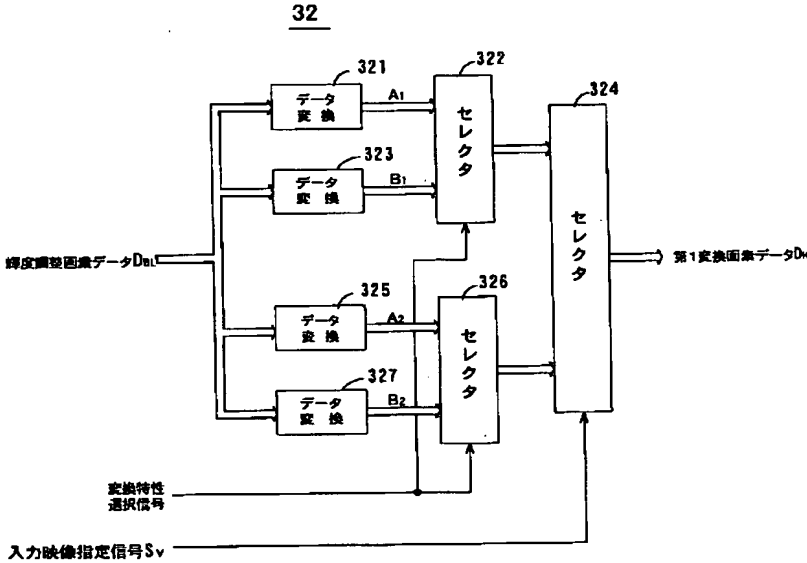
【図11】



【図12】

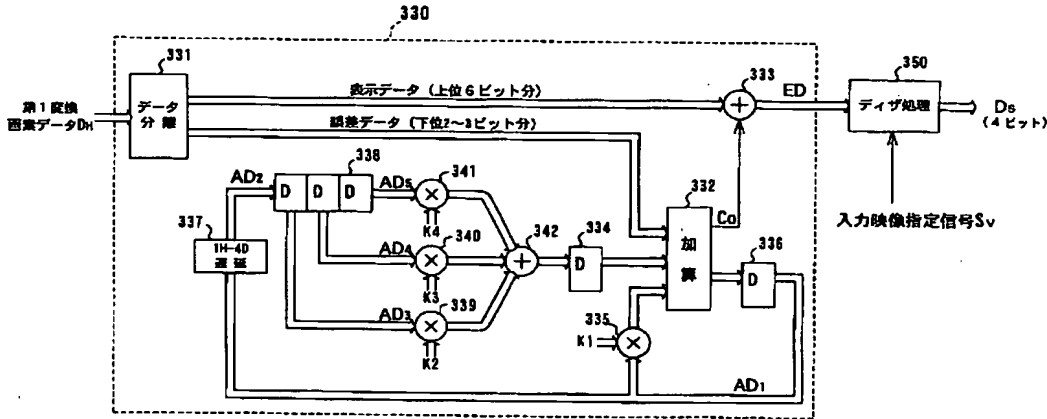
入力映像信号	ディザ係数			
	a	b	c	d
TV信号	0	1	2	3
PC映像信号	0 (1)	2 (3)	4 (5)	6 (7)

【図6】



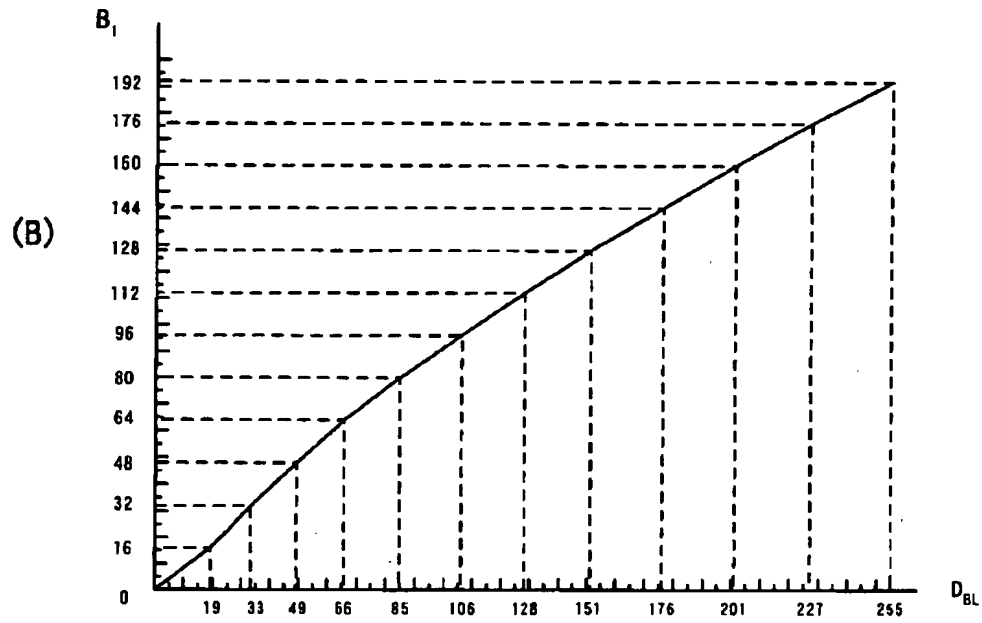
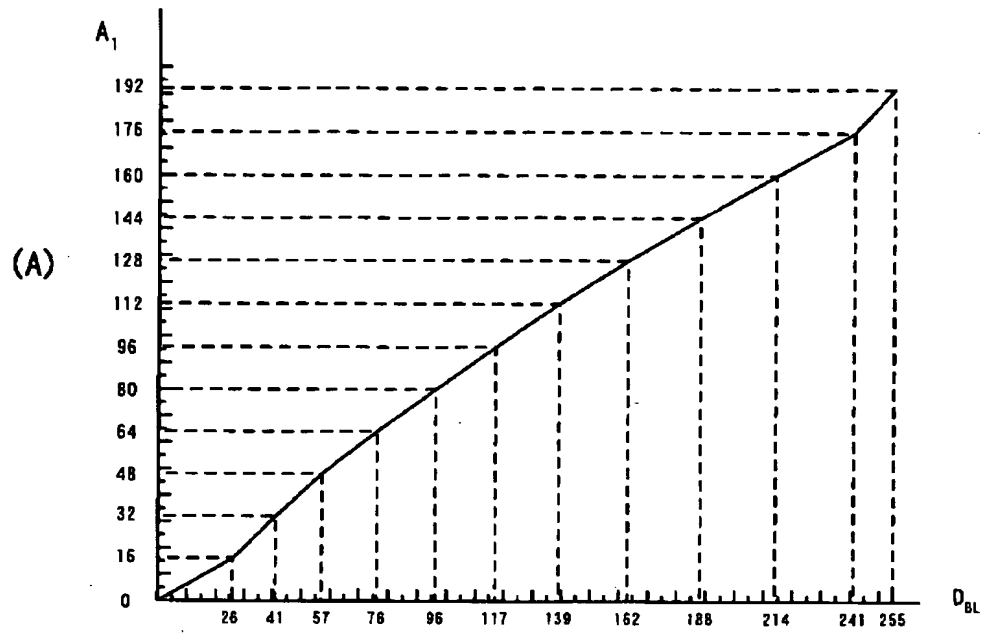
【図9】

33



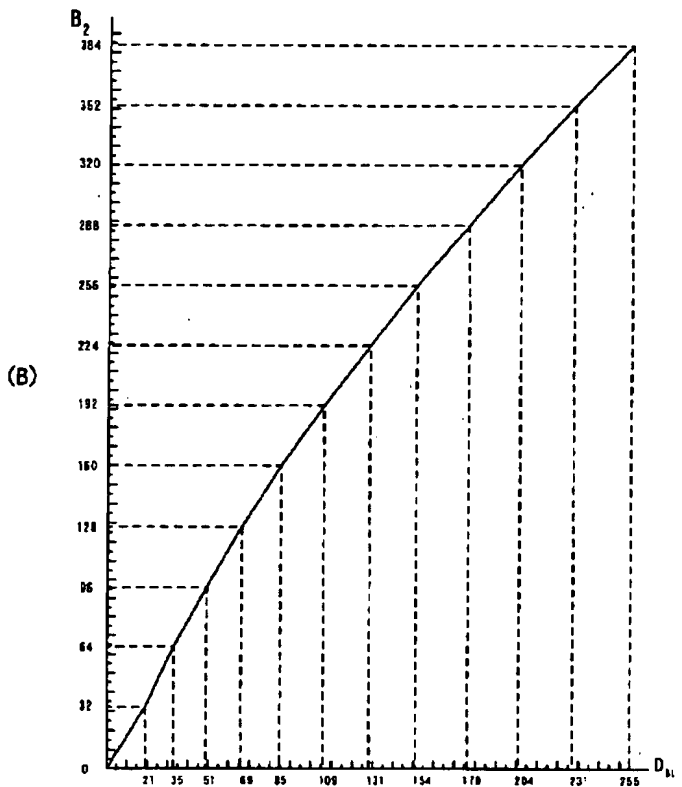
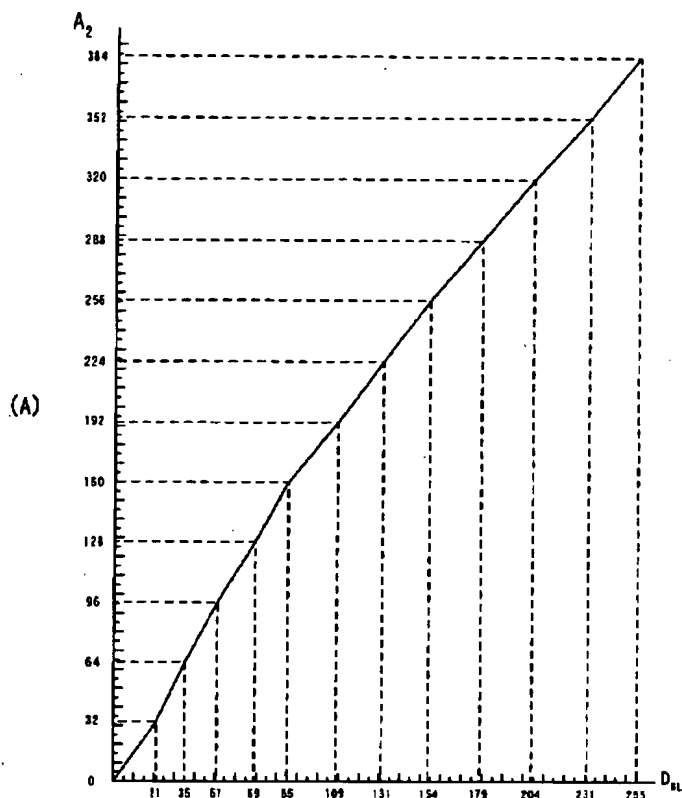
(18)

【図7】

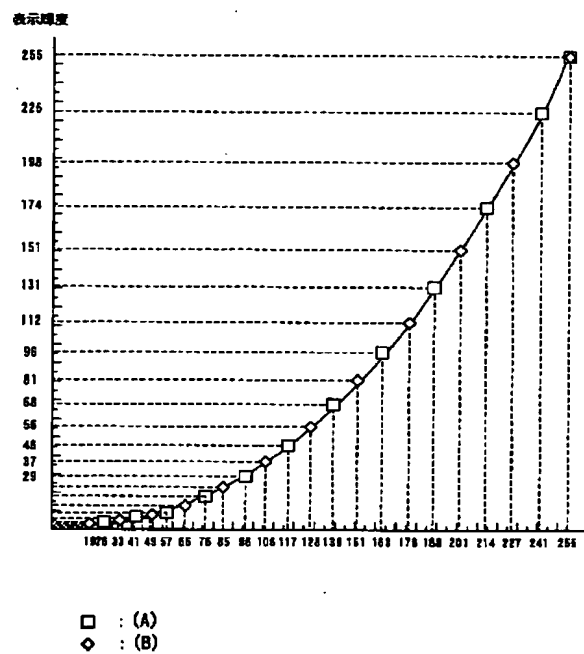


(19)

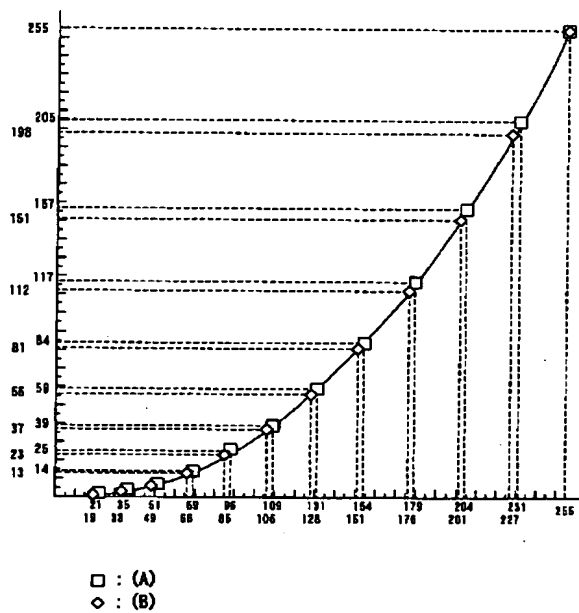
【図8】



【図20】

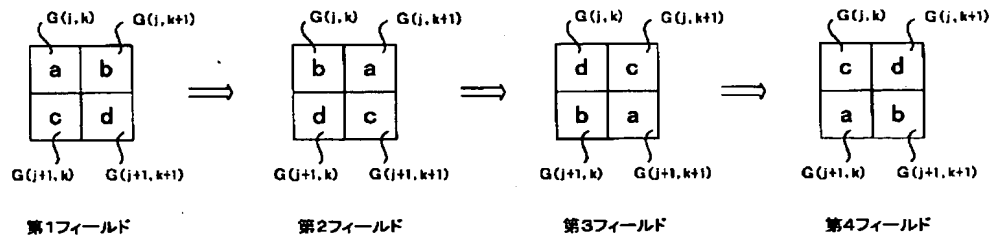


【図22】



(20)

【図13】



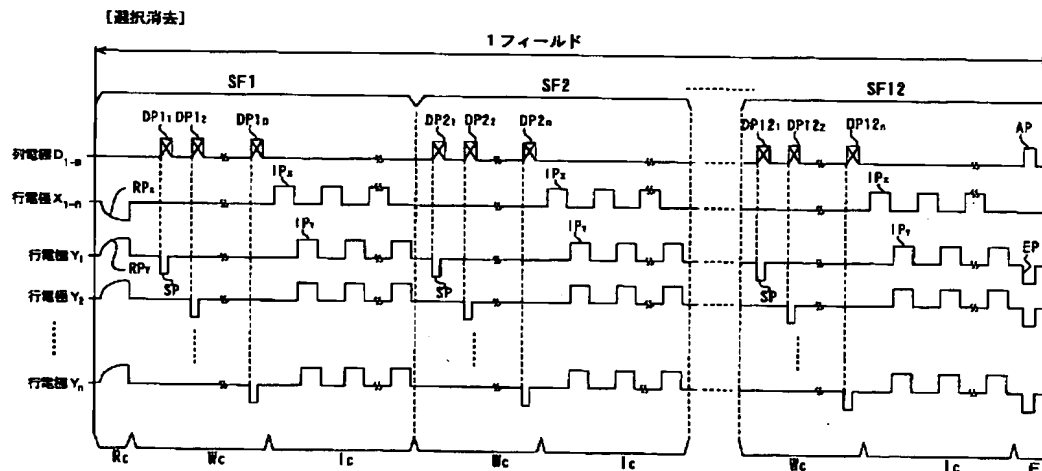
【図14】

【選択消去】

階層	第2データ変換回路34の変換テーブル												発光駆動パターン												表示輝度							
	Ds	GD												SF	SF	BF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	TV信号		PC映像信号			
		1	2	3	4	5	6	7	8	9	10	11	12														(A) 奇	(B) 偶	(A) 奇	(B) 偶		
1	0000	1	0	0	0	0	0	0	0	0	0	0	0	●														0	0	0	0	
2	0001	0	1	0	0	0	0	0	0	0	0	0	0	○	●														2	1	1	1
3	0010	0	0	1	0	0	0	0	0	0	0	0	0	○	○	●													4	3	3	3
4	0011	0	0	0	1	0	0	0	0	0	0	0	0	○	○	○	●												10	7	7	7
5	0100	0	0	0	0	1	0	0	0	0	0	0	0	○	○	○	○	●											18	13	14	13
6	0101	0	0	0	0	0	1	0	0	0	0	0	0	○	○	○	○	○	●										29	23	25	23
7	0110	0	0	0	0	0	0	1	0	0	0	0	0	○	○	○	○	○	○	○	●								46	37	39	37
8	0111	0	0	0	0	0	0	0	1	0	0	0	0	○	○	○	○	○	○	○	○	○	○	●					88	58	59	58
9	1000	0	0	0	0	0	0	0	0	1	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○		96	81	84	81
10	1001	0	0	0	0	0	0	0	0	0	1	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	131	112	117	112
11	1010	0	0	0	0	0	0	0	0	0	0	1	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	174	151	157	151
12	1011	0	0	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	225	198	205	198
13	1100	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	255	255	255	255

黒丸: 選択消去放電
白丸: 発光SF

【図15】



(21)

【図16】

(A)
奇数
フィールド

LC	SF1	SF2	SF3	SF4	SF5	SF6	SF7	SF8	SF9	SF10	SF11	SF12
モード1	2	2	6	8	11	17	22	28	35	43	51	30
モード2	4	4	12	16	22	34	44	56	70	86	102	60
モード3	6	6	18	24	33	51	66	84	105	129	153	90
モード4	8	8	24	32	44	68	88	112	140	172	203	120

(B)
偶数
フィールド

LC	SF1	SF2	SF3	SF4	SF5	SF6	SF7	SF8	SF9	SF10	SF11	SF12
モード1	1	2	4	6	10	14	19	25	31	39	47	57
モード2	2	4	8	12	20	28	38	50	62	78	94	114
モード3	3	6	12	18	30	42	57	75	93	117	141	171
モード4	4	8	16	24	40	56	76	100	124	156	187	228

【図17】

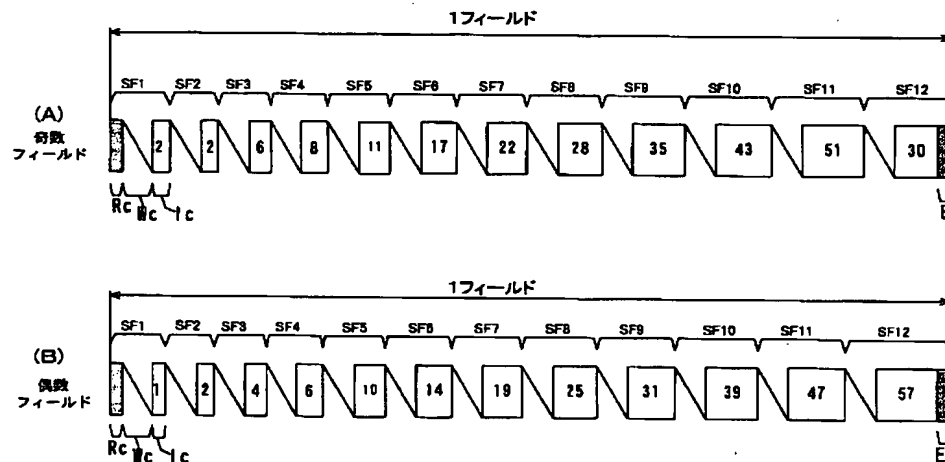
(A)
奇数
フィールド

LC	SF1	SF2	SF3	SF4	SF5	SF6	SF7	SF8	SF9	SF10	SF11	SF12
モード1	1	2	4	7	11	14	20	25	33	40	48	50
モード2	2	4	8	14	22	28	40	50	66	80	96	100
モード3	3	6	12	21	33	42	60	75	99	120	144	150
モード4	4	8	16	28	44	56	80	100	132	160	192	200

(B)
偶数
フィールド

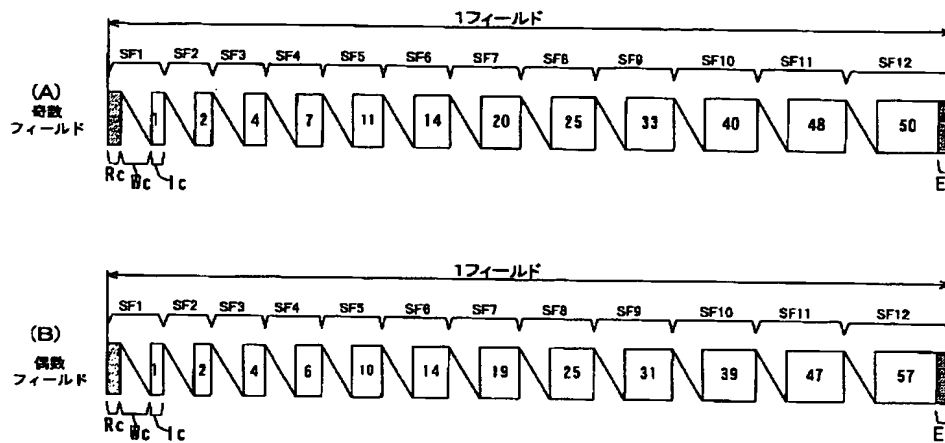
LC	SF1	SF2	SF3	SF4	SF5	SF6	SF7	SF8	SF9	SF10	SF11	SF12
モード1	1	2	4	6	10	14	19	25	31	39	47	57
モード2	2	4	8	12	20	28	38	50	62	78	94	114
モード3	3	6	12	18	30	42	57	75	93	117	141	171
モード4	4	8	16	24	40	56	76	100	124	156	188	228

【図18】

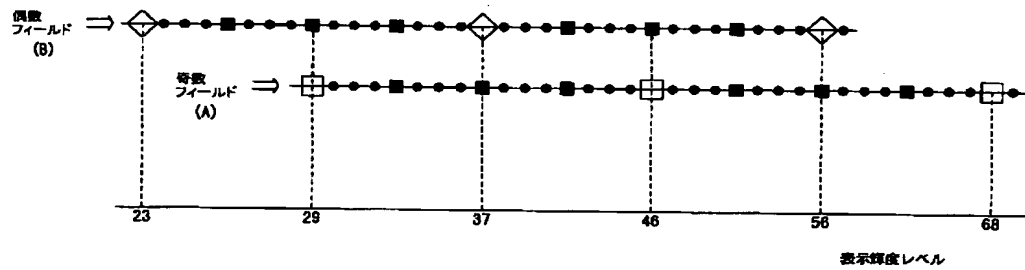


(22)

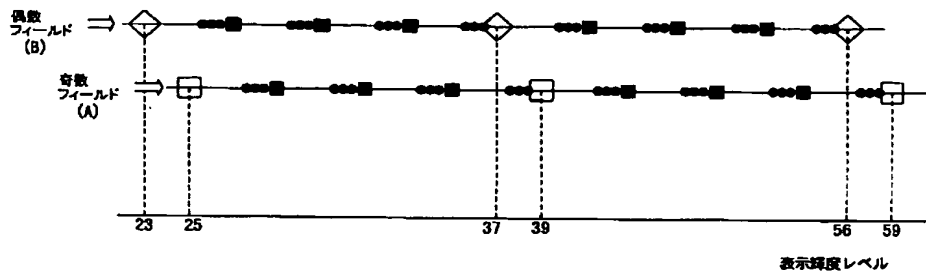
【図19】



【図21】

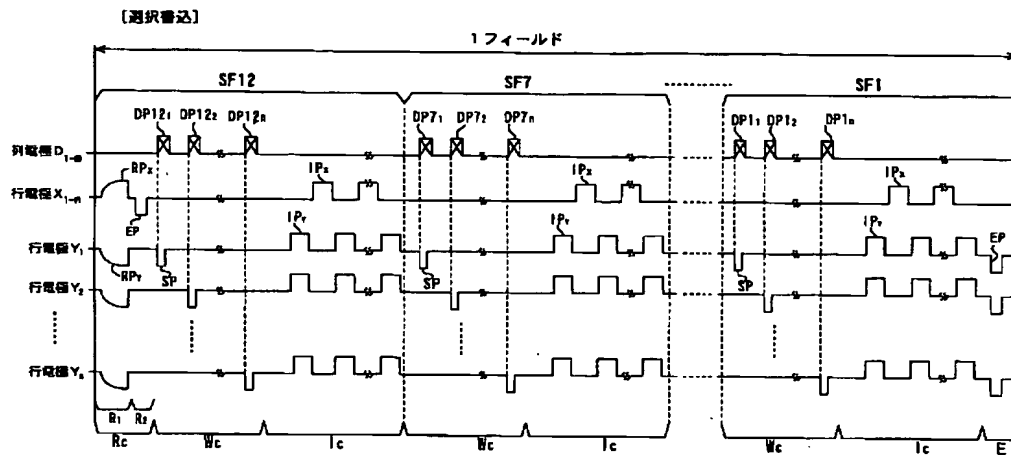


【図23】

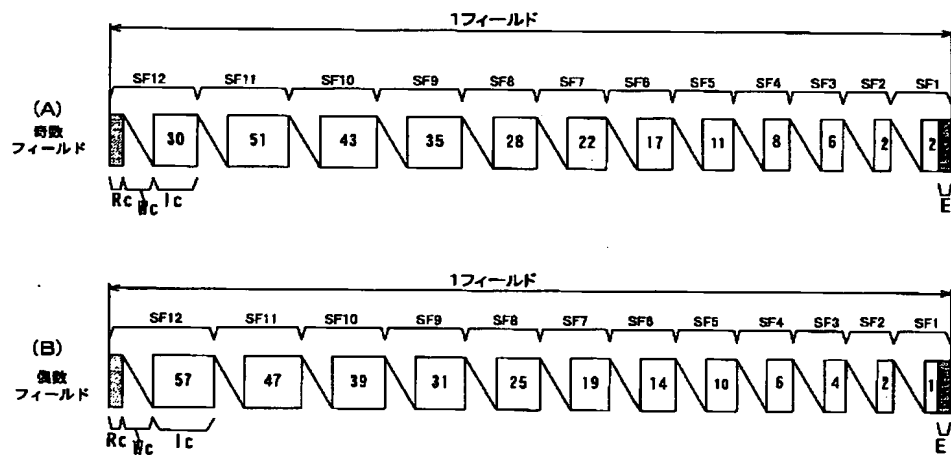


(23)

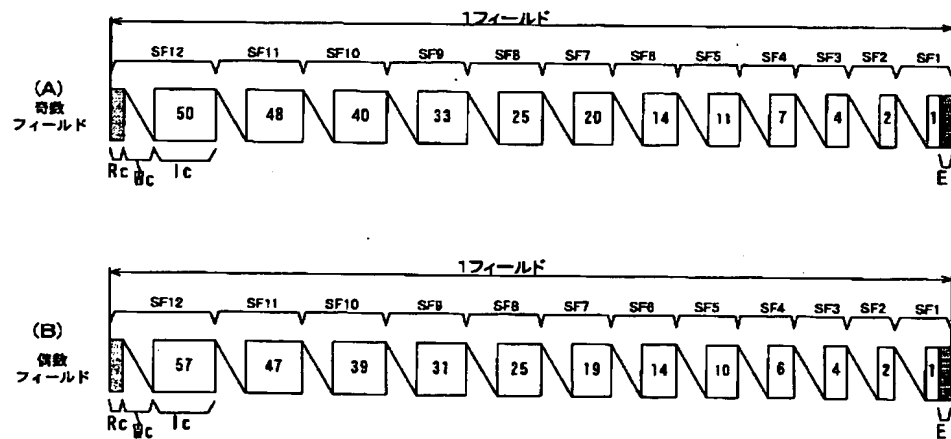
【図24】



【図25】



【図26】



(24)

【図27】

【選択書込】

貼画	第2データ交換回路34の交換テーブル													発光駆動パターン													表示輝度			
	Ds	GD												SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	TV信号		PC映像信号	
		12	11	10	9	8	7	6	5	4	3	2	1														(A) 輝	(B) 輝	(A) 輝	(B) 輝
1	0000	0	0	0	0	0	0	0	0	0	0	0	0														0	0	0	0
2	0001	0	0	0	0	0	0	0	0	0	0	0	0														2	1	1	1
3	0010	0	0	0	0	0	0	0	0	0	0	0	1														4	3	3	3
4	0011	0	0	0	0	0	0	0	0	0	0	1	0														10	7	7	7
5	0100	0	0	0	0	0	0	0	0	0	1	0	0														18	13	14	13
6	0101	0	0	0	0	0	0	0	0	1	0	0	0														29	23	25	23
7	0110	0	0	0	0	0	0	1	0	0	0	0	0														46	37	39	37
8	0111	0	0	0	0	0	1	0	0	0	0	0	0														88	56	59	56
9	1000	0	0	0	0	1	0	0	0	0	0	0	0														98	81	84	81
10	1001	0	0	0	1	0	0	0	0	0	0	0	0														131	112	117	112
11	1010	0	0	1	0	0	0	0	0	0	0	0	0														174	151	157	151
12	1011	0	1	0	0	0	0	0	0	0	0	0	0														225	198	205	198
13	1100	1	0	0	0	0	0	0	0	0	0	0	0														255	255	255	255

黒丸: 選択書込放電(発光)

白丸: 発光SF

【図28】

【選択消去】

階調	第2データ交換回路34の交換テーブル												発光駆動パターン												表示輝度							
	Ds	GD												SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	TV信号		PC映像信号	
		1	2	3	4	5	6	7	8	9	10	11	12																(A) 輝	(B) 輝	(A) 輝	(B) 輝
1	0000	1	1	*	*	*	*	*	*	*	*	*	*	●	●	△	△	△	△	△	△	△	△	△	△	△	0	0	0	0		
2	0001	0	1	1	*	*	*	*	*	*	*	*	*	○	●	●	△	△	△	△	△	△	△	△	△	△	2	1	1	1		
3	0010	0	0	1	1	*	*	*	*	*	*	*	*	○	○	●	●	△	△	△	△	△	△	△	△	△	4	3	3	3		
4	0011	0	0	0	1	1	*	*	*	*	*	*	*	○	○	○	●	△	△	△	△	△	△	△	△	△	10	7	7	7		
5	0100	0	0	0	0	1	1	*	*	*	*	*	*	○	○	○	○	●	△	△	△	△	△	△	△	△	18	13	14	13		
6	0101	0	0	0	0	0	1	1	*	*	*	*	*	○	○	○	○	○	●	△	△	△	△	△	△	△	29	23	25	23		
7	0110	0	0	0	0	0	0	1	1	*	*	*	*	○	○	○	○	○	○	●	△	△	△	△	△	△	46	37	39	37		
8	0111	0	0	0	0	0	0	0	1	1	*	*	*	○	○	○	○	○	○	○	●	△	△	△	△	△	68	56	59	56		
9	1000	0	0	0	0	0	0	0	0	1	1	*	*	○	○	○	○	○	○	○	○	○	○	○	○	△	98	81	84	81		
10	1001	0	0	0	0	0	0	0	0	0	1	1	*	○	○	○	○	○	○	○	○	○	○	○	○	○	131	112	117	112		
11	1010	0	0	0	0	0	0	0	0	0	0	1	1	○	○	○	○	○	○	○	○	○	○	○	○	○	174	151	157	151		
12	1011	0	0	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	○	○	○	○	225	198	205	198		
13	1100	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	255	255	255	255		

黒丸: 選択消去放電

白丸: 発光SF

(25)

【図29】

[選択書込]

附番	第2データ交換回路34の交換テーブル												発光駆動パターン												表示輝度				
	Ds	GD												SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	TV信号		PC映像信号	
		12	11	10	9	8	7	6	5	4	3	2	1													(A) 奇	(B) 偶	(A) 奇	(B) 偶
1	0000	0	0	0	0	0	0	0	0	0	0	0	0												0	0	0	0	
2	0001	0	0	0	0	0	0	0	0	0	0	0	0												2	1	1	1	
3	0010	0	0	0	0	0	0	0	0	0	0	0	0												4	3	3	3	
4	0011	0	0	0	0	0	0	0	0	0	0	1	1	*											10	7	7	7	
5	0100	0	0	0	0	0	0	0	0	0	1	1	*	*											18	13	14	13	
6	0101	0	0	0	0	0	0	0	0	1	1	*	*	*											29	23	25	23	
7	0110	0	0	0	0	0	0	1	1	*	*	*	*	*											46	37	39	37	
8	0111	0	0	0	0	0	1	1	*	*	*	*	*	*											66	56	59	56	
9	1000	0	0	0	0	1	1	*	*	*	*	*	*	*											86	81	84	81	
10	1001	0	0	0	1	1	*	*	*	*	*	*	*	*											131	112	117	112	
11	1010	0	0	1	1	*	*	*	*	*	*	*	*	*											174	151	157	151	
12	1011	0	1	1	*	*	*	*	*	*	*	*	*	*											225	198	205	198	
13	1100	1	1	*	*	*	*	*	*	*	*	*	*	*											255	255	255	255	

フロントページの続き

(51) Int. Cl.⁷
H 0 4 N 5/66

識別記号
1 0 1

F I
H 0 4 N 5/66

テーマコード (参考)
1 0 1 B

Fターム (参考) 5C058 AA11 AB02 BA03 BA07 BB03
 BB13 BB15
 5C080 AA05 BB05 DD03 EE29 FF12
 GG08 GG09 HH02 JJ02 JJ04
 JJ05

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.